MODUL 9
RANGKAIAN REGISTER

1. Tujuan Praktikum Modul 9

Setelah mempraktekan modul 9, praktikan diharapkan dapat:

1. Mengetahui dan memahami konsep dasar dari rangkaian register serta dapat membedakan jenis-jenis pada register.
2. Dapat membuat rangkaian counter dan register pada quartus prime lite.
3. Praktikan dapat mengimplementasikan rangkaian register pada papan FPGA DE10 Lite

2. Alat dan bahan:

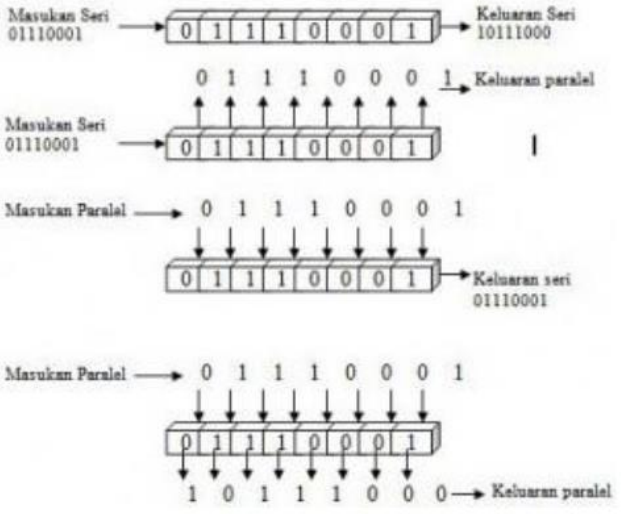
a. Laptop dan mouse
b. *Software* Quartus
c. *Software* Modelsim
d. Papan FPGA DE10-Lite

3. Dasar Teori

3.1 Register

Register merupakan rangkaian untuk menyimpan data per bit. Register tersusun dari rangkaian flip-flop yang digunakan untuk menyimpan data sementara sebelum data diolah lebih lanjut, register juga digunakan untuk pergerakan/transmisi data pada operasi computer. Salah satu implementasi register adalah shift register atau resgister penggeser. Rangkaian shift register berfungsi untuk menyimpan data sementara dan untuk pergeseran data ke kiri atau ke kanan. Shift register juga terdapat beberapa macam yaitu PIPO, SISO, SIPO, PISO.

Gambar 3.1 Pergeseran Data Pada Register Geser

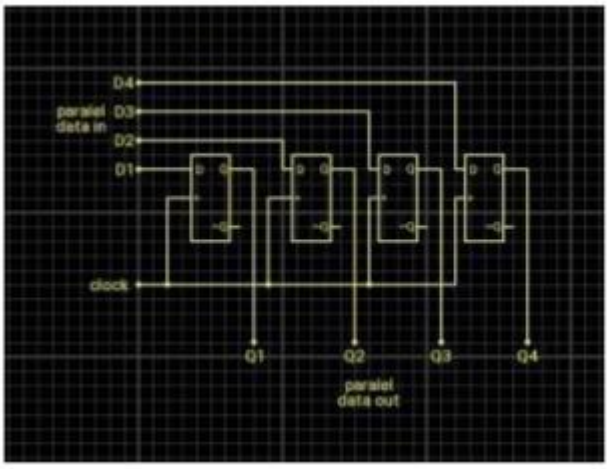


3.2 Macam - macam tipe Shift Register:

1. Register Parallel In Parallel Out (PIPO)

Register parallel in parallel out (PIPO) merupakan register geser yang input dan outputnya parallel, register geser PIPO akan mengubah format nilai dari dara yang digeser dengan format data tetap parallel. Contoh : IC TTL 74LS174

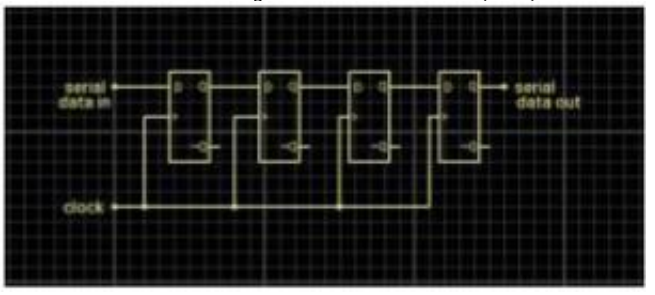
Gambar 3.2.1 Register Parallel In Parallel Out (PIPO)



2. Register Serial In Serial Out (SISO)

Register serial in serial out (SISO) merupakan register yang input dan outputnya seri. Register SISO tidak mengubah format data, yang berubah adalah nilai dari data tersebut. Contoh : IC TTL 74LS91

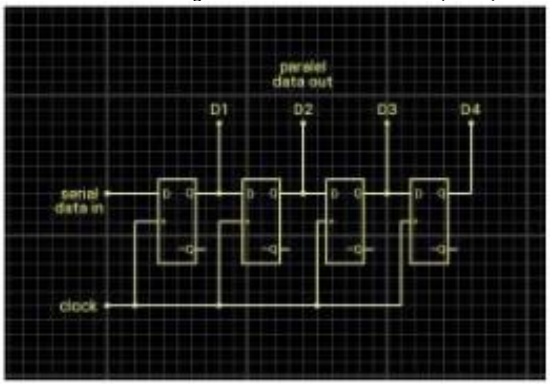
Gambar 3.2.2 Register Serial In Serial Out (SISO)



3. Register Serial In Parallel Out (SIPO)

Register serial in parallel out (SIPO) merupakan register geser yang inputnya seri dan output parallel. Register ini akan menggeser data secara seri dan mengeluarkannya dalam format parallel tanpa mengubah nilai data tersebut. Contoh :IC TTL 74LS164

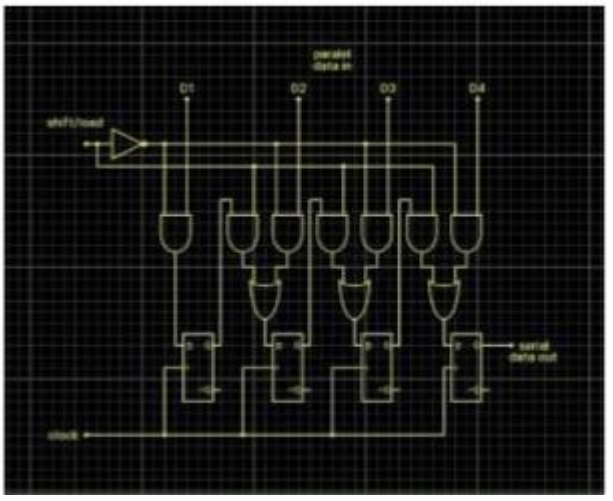
Gambar 3.2.3 Register Serial In Parallel Out (SIPO)



4. Register Parallel In Serial Out (PISO)

Register parallel in serial out (PISO) merupakan register geser yang inputnya parallel dan output seri. Register ini hanya mengubah format data parallel menjadi output serial tanpa mengubah nilai dari data tersebut.

Gambar 3.2.4 Register Parallel In Serial Out (PISO)

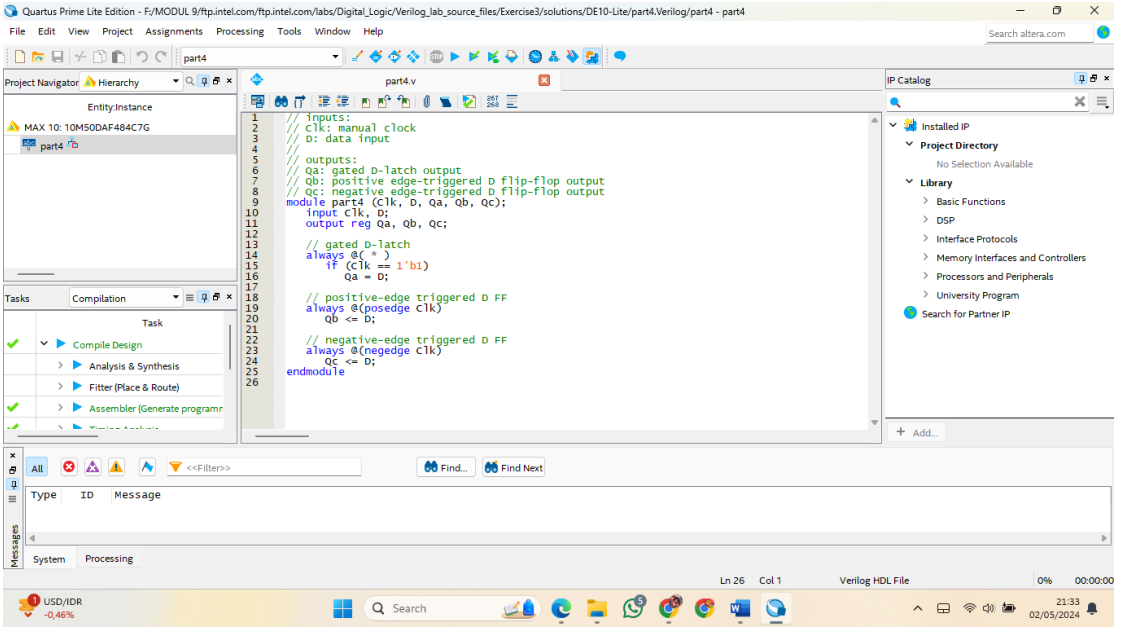


4. Langkah - langkah Praktikum:

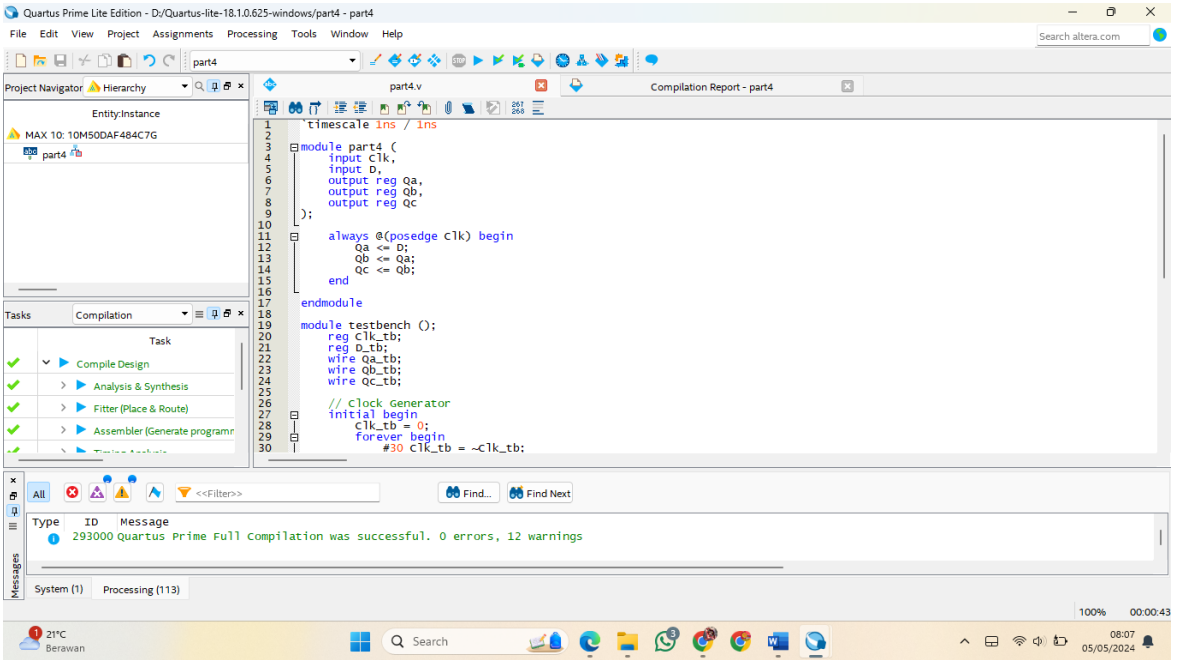
4.1. Percobaan I

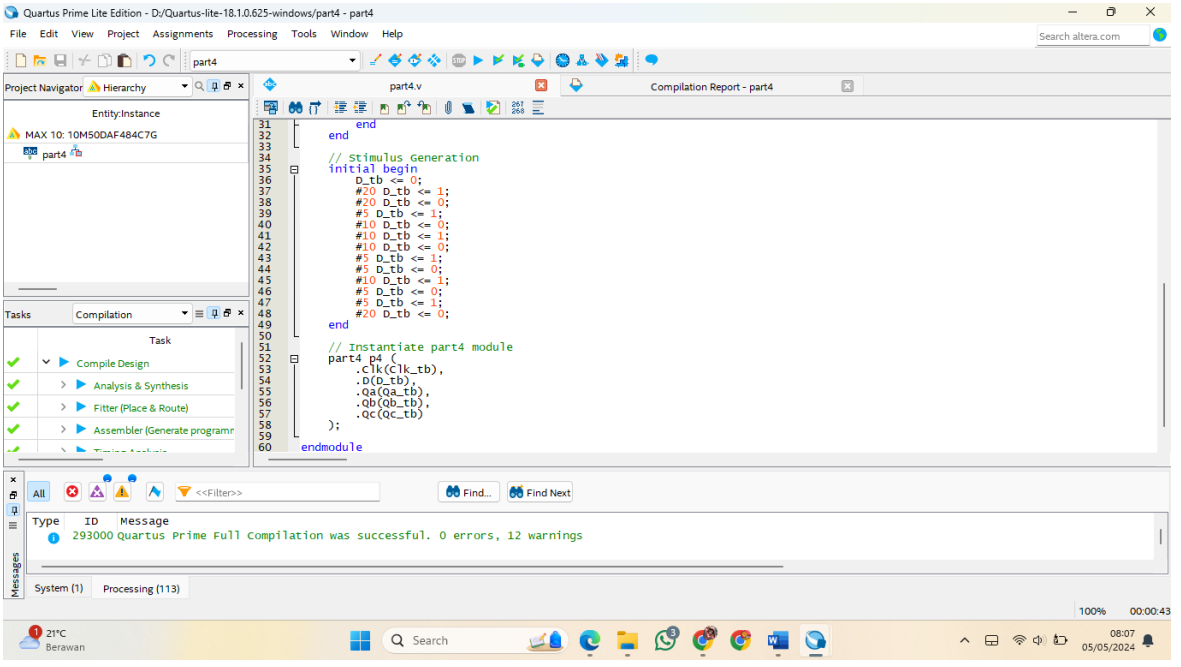
Implementasikan dan simulasikan rangkaian ini menggunakan software Quartus seperti berikut:

1. Buatlah proyek Quartus baru.
2. Tulislah sebuah file Verilog yang akan menjalankan tiga buah elemen penyimpan. Memberikan gaya perilaku kode Verilog yang menentukan pengancing D dengan gerbang. Pengancing ini dapat diimplementasikan dalam satu tabel *lookup* 4-masukan. Gunakan gaya kode yang sama untuk menentukan flip-flop.
3. Kompilasi kode anda dan gunakan *Technology Map Viewer* untuk memeriksa rangkaian yang diimplementasikan. Verifikasi bahwa pengancing menggunakan satu tabel *lookup* dan bahwa flip-flop yang diimplementasikan menggunakan fli-flop yang disediakan oleh papan FPGA DE10-Lite.
4. Gunakan Modelsim untuk mensimulasikan rangkaian yang anda buat. Gunakan file *testbench* yang disertakan berikut ini untuk menentukan masukan D dan Clock.

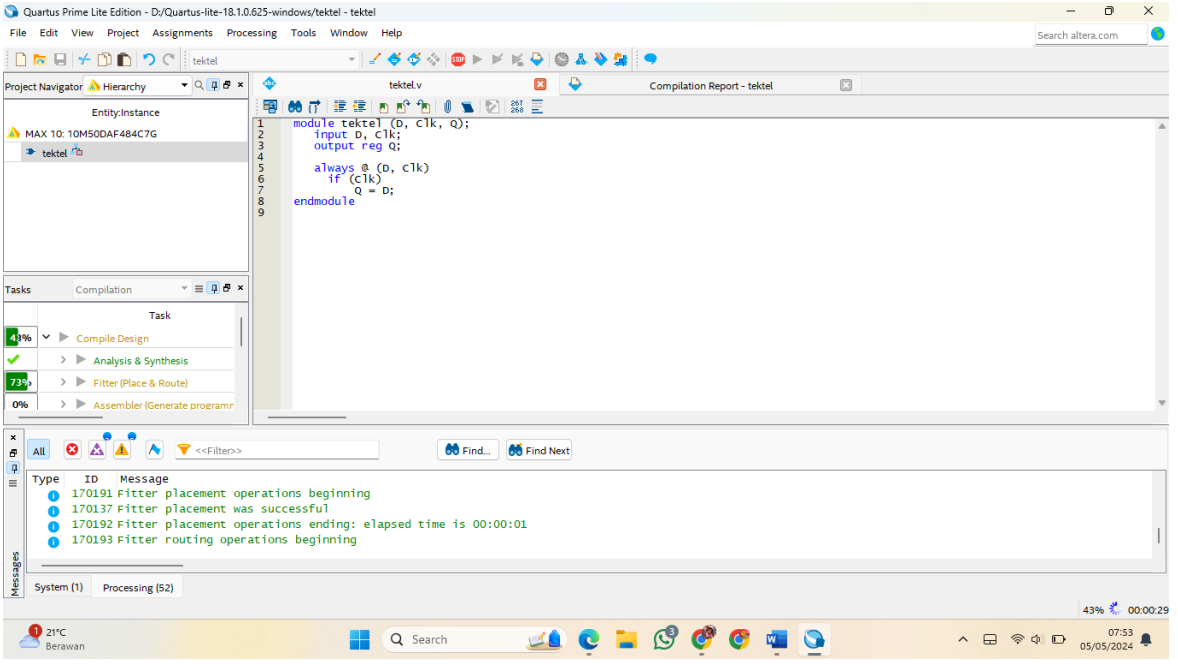


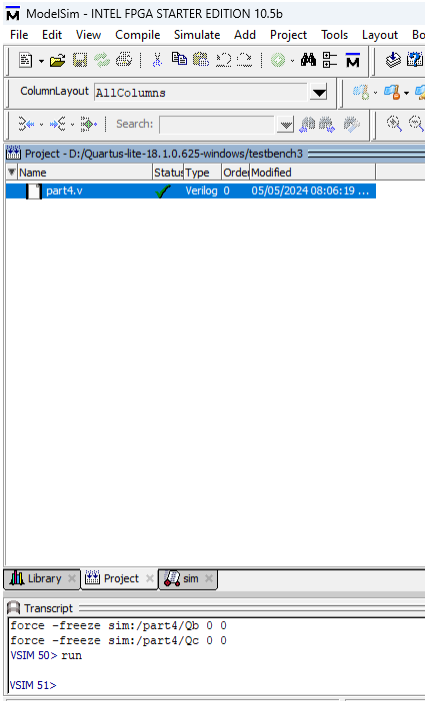
Buatlah projek baru:



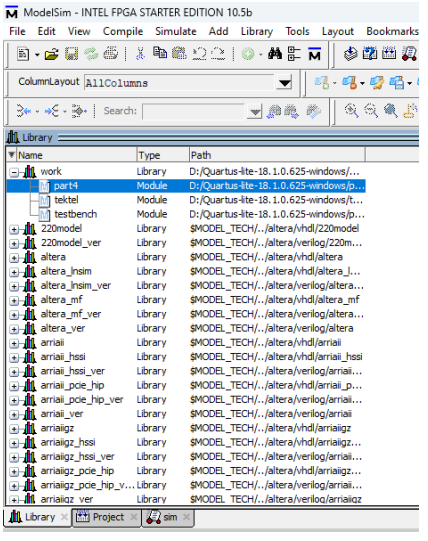


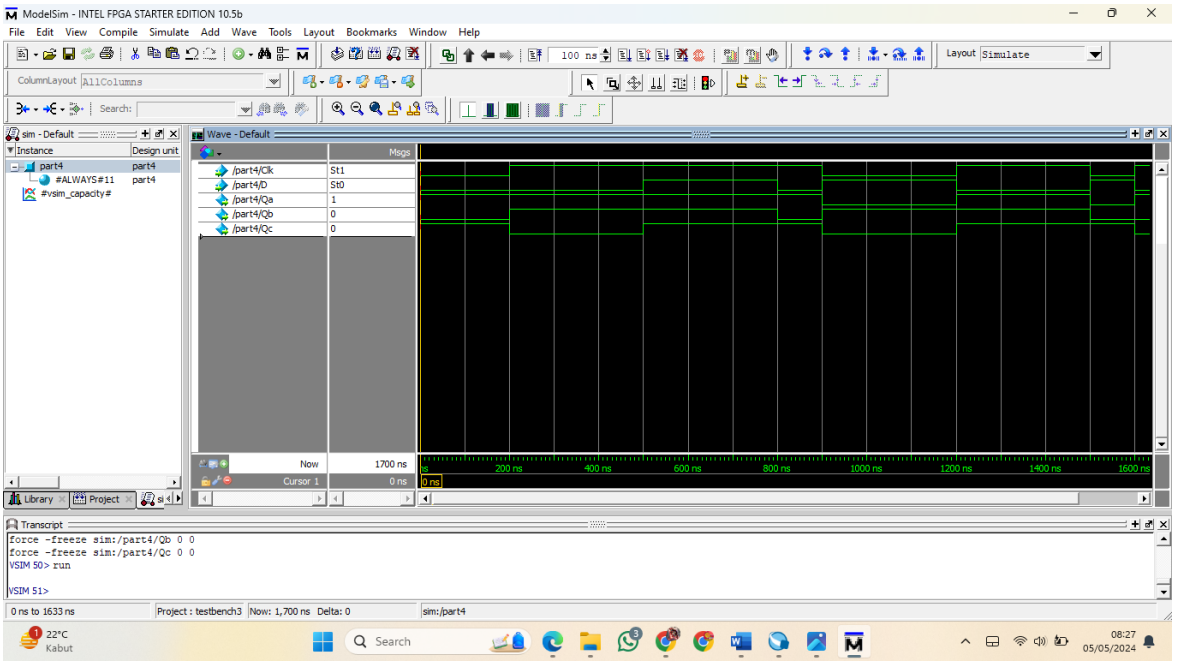
5. Pastikan *testbench* pada *Software* Quartus lalu berpindah ke Modelsim untuk memberikan masukan pada modul yang dibuat dengan benar dan jalankan simulasi untuk mengamati perilaku ketiga elemen penyimpan.

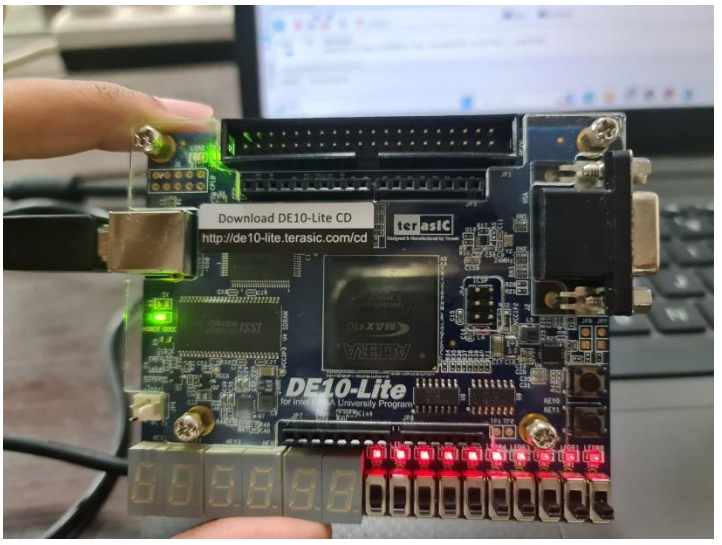




Compile file dan simulate





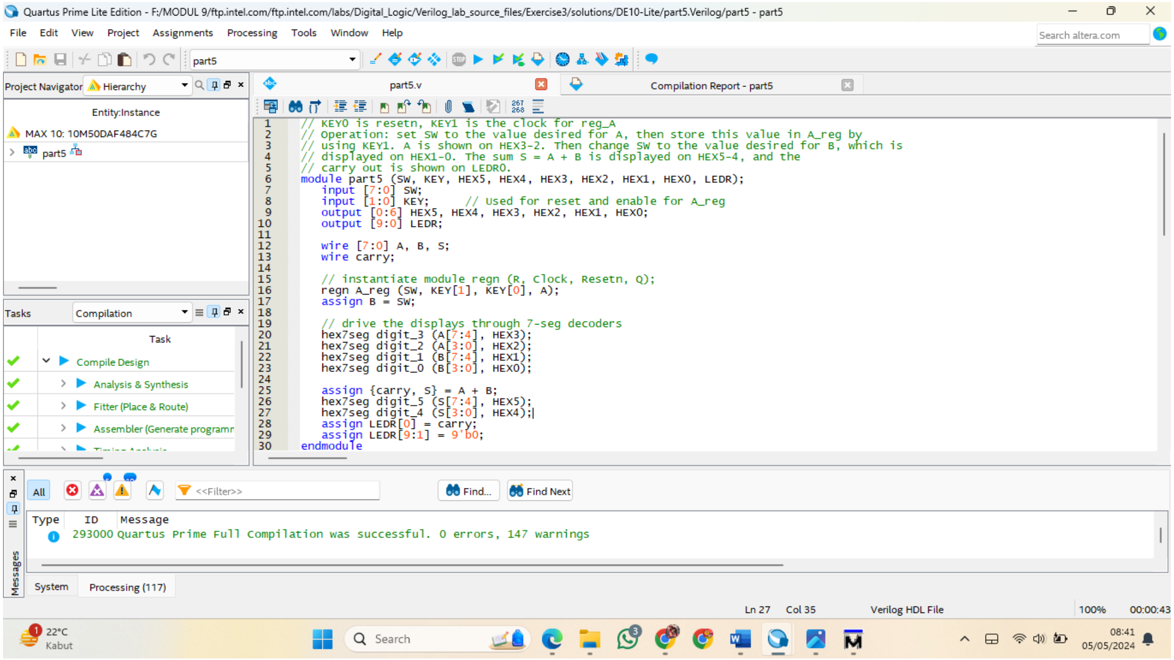


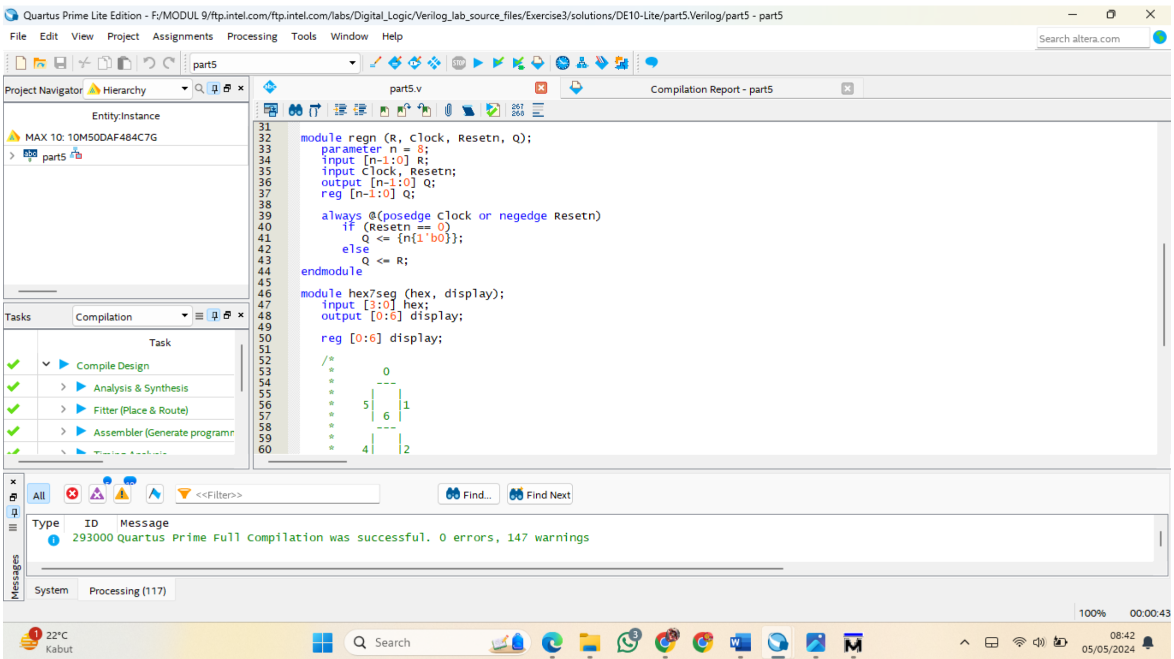
4.2 Percobaan II

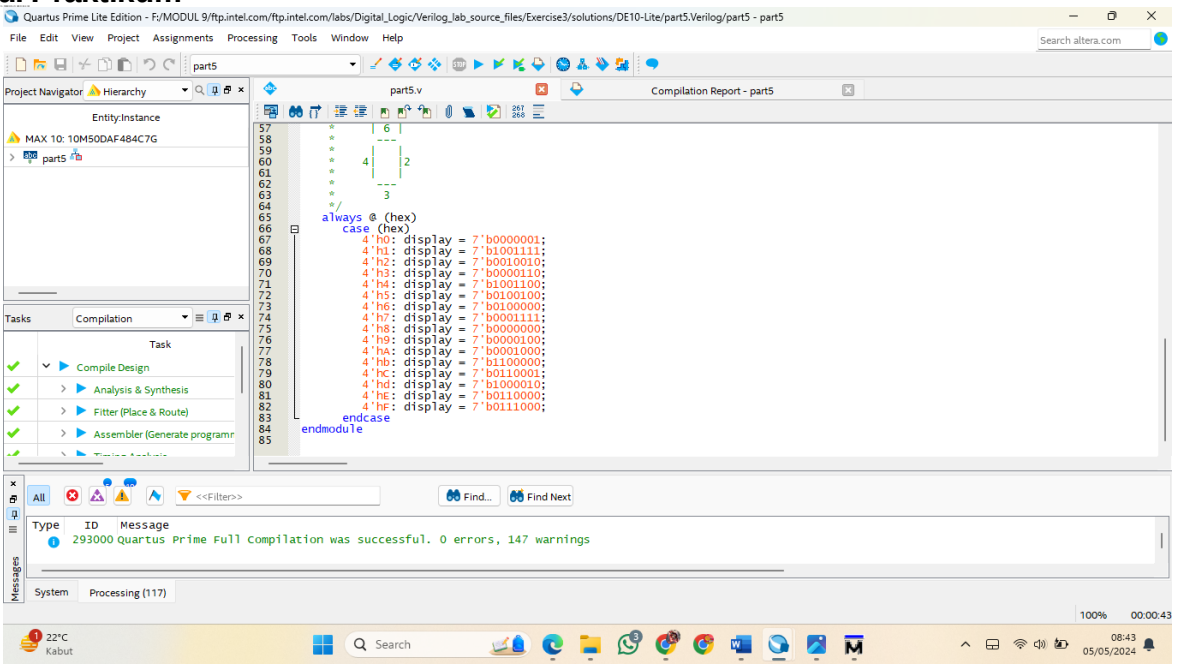
Selanjutnya kita ingin menampilkan nilai heksadesimal sebuah bilangan 8-bit A pada dua buah tampilan 7-segmen HEX3 − 2. Kita juga ingin menampilkan nila hex dari sebuah bilangan 8-bit B pada dua tampilan 7-segment HEX1 − 0. Nilai A dan B merupakan masukan ke rangkaian yang disediakan oleh saklar SW7−0. Untuk memasukkan nilai A dan B, pertama atur saklar ke nilai A yang diinginkan, simpan nilai saklar ini dalam sebuah register, dan kemudian ubah saklar ke nilai B yang diinginkan. Akhirnya, gunakan sebuah penjumlah untuk membuat operasi penjumlahan sum S = A + B, dan tampilkan hasil penjumlahannya di tampilan 7-segmen HEX5 − 4. Tunjukkan simpanan yang dihasilkan proses penjumlahan di LEDR[0].

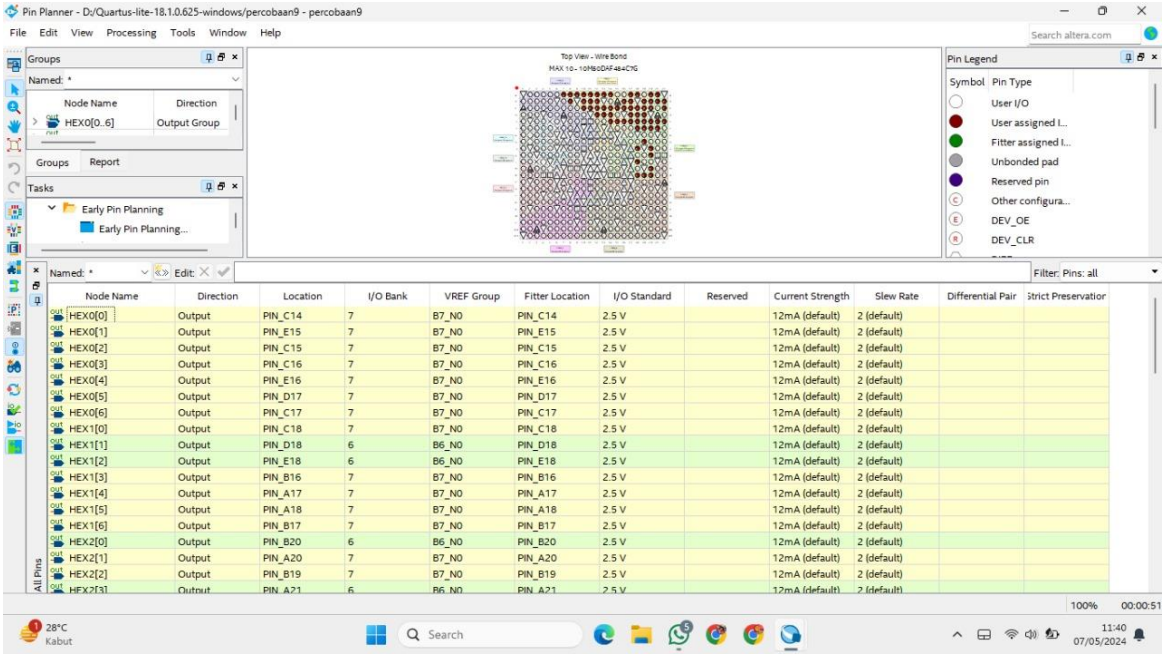
1. Buat proyek Quartus baru yang akan digunakan untuk mengimplementasikan rangkaian yang diinginkan di papan DE10-Lite
2. Tulis sebuah file Verilog yang menyediakan fungsionalitas yang diperlukan. Gunakan KEY0 sebagai tobol reset *active-low asynchronous* , dan KEY1 sebagai masukan clock.
3. Sertakan *pin assignments* yang diperlukan untuk saklar tekan dan tampilan 7-segmen, kemudian kompilasi rangkaiannya.

4. Unduh rangkaian ke papan DE10-Lite dan uji fungsionalitasnya dengan menekan saklar dan mengamati keluaran tampilan.
5. Buatlah kesimpulan dari percobaan tersebut.

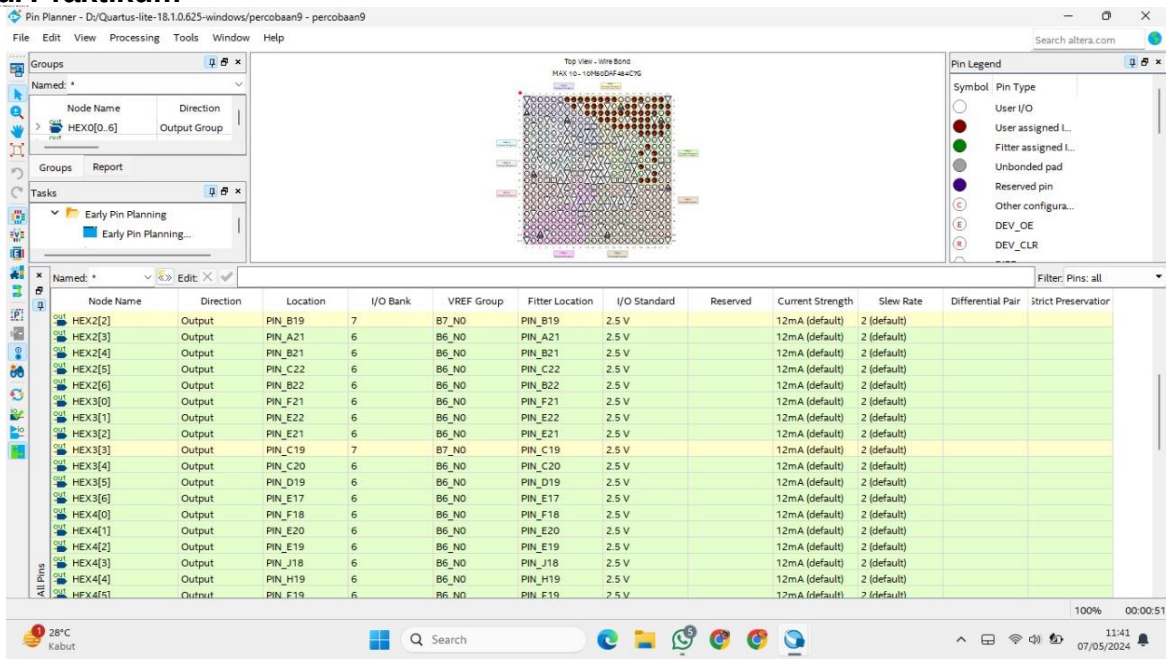


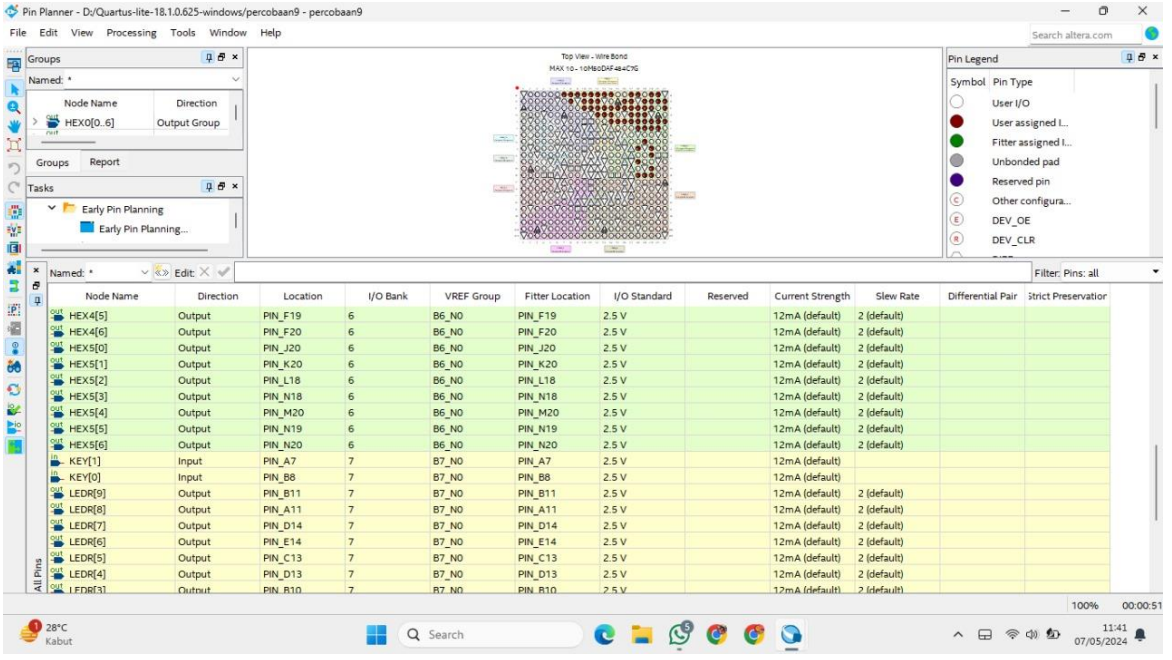


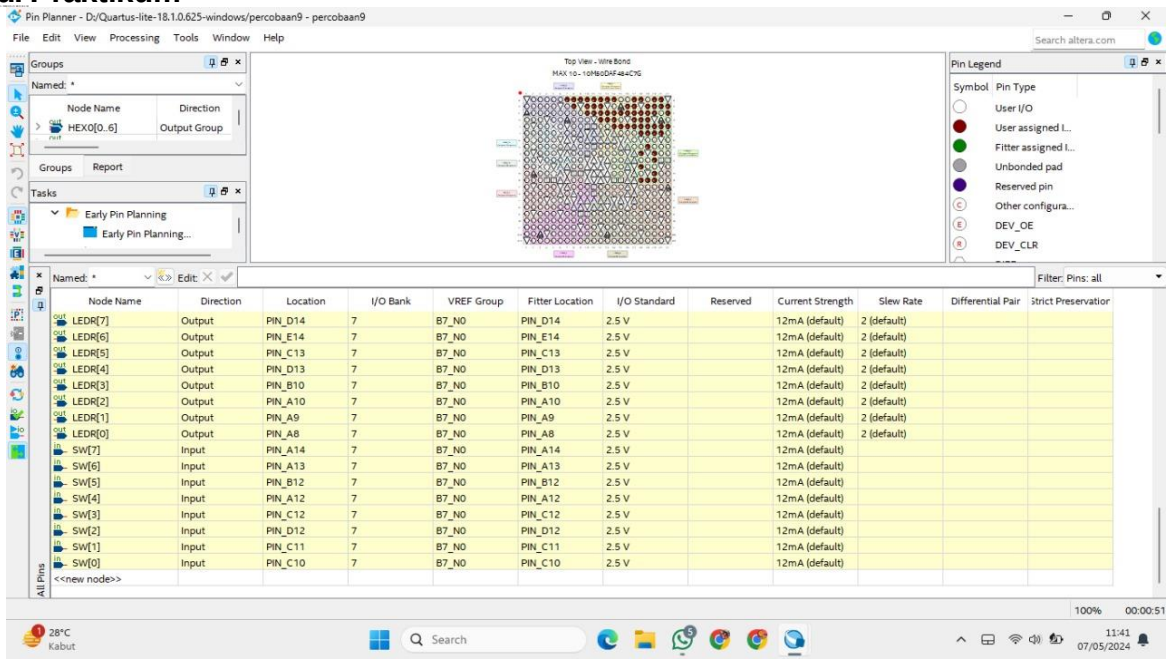

Quartus Prime Lite Edition - F:/MODUL 9/ftp.intel.com/ftp.intel.com/labs/Digital_Logic/Verilog_lab_source_files/Exercise3/solutions/DE10-Lite/part5.Verilog/part5 - part5
File Edit View Project Assignments Processing Tools Window Help
Project Navigator Hierarchy
Entity:Instance
MAX 10: 10M50DAF484C7G
part5
part5.v
Compilation Report - part5
Tasks Compilation
Task
Compile Design
Analysis & Synthesis
Fitter (Place & Route)
Assembler (Generate programr
always @ (hex)
case (hex)
4'h0: display = 7'b0000001;
4'h1: display = 7'b1001111;
4'h2: display = 7'b0010010;
4'h3: display = 7'b0000110;
4'h4: display = 7'b1001100;
4'h5: display = 7'b0100100;
4'h6: display = 7'b0100000;
4'h7: display = 7'b0001111;
4'h8: display = 7'b0000000;
4'h9: display = 7'b0000100;
4'hA: display = 7'b0001000;
4'hb: display = 7'b1100000;
4'hC: display = 7'b0110001;
4'hd: display = 7'b1000010;
4'hE: display = 7'b0110000;
4'hF: display = 7'b0111000;
endcase
endmodule
Type ID Message
293000 Quartus Prime Full Compilation was successful. 0 errors, 147 warnings
System Processing (117)
100% 00:00:43
22°C Kabut
Search
08:43 05/05/2024


Pin Planner - D:/Quartus-lite-18.1.0.625-windows/percobaan9 - percobaan9
File Edit View Processing Tools Window Help
Groups
Node Name Direction
HEX0[0..6] Output Group
Tasks
Early Pin Planning
Pin Legend
Symbol Pin Type
User I/O
Unbonded pad
Reserved pin
DEV_OE
DEV_CLR
Node Name Direction Location I/O Bank VREF Group Fitter Location I/O Standard Reserved Current Strength Slew Rate Differential Pair Strict Preservation
HEX0[0] Output PIN_C14 7 B7_N0 PIN_C14 2.5 V 12mA (default) 2 (default)
HEX0[1] Output PIN_E15 7 B7_N0 PIN_E15 2.5 V 12mA (default) 2 (default)
HEX0[2] Output PIN_C15 7 B7_N0 PIN_C15 2.5 V 12mA (default) 2 (default)
HEX0[3] Output PIN_C16 7 B7_N0 PIN_C16 2.5 V 12mA (default) 2 (default)
HEX0[4] Output PIN_E16 7 B7_N0 PIN_E16 2.5 V 12mA (default) 2 (default)
HEX0[5] Output PIN_D17 7 B7_N0 PIN_D17 2.5 V 12mA (default) 2 (default)
HEX0[6] Output PIN_C17 7 B7_N0 PIN_C17 2.5 V 12mA (default) 2 (default)
HEX1[0] Output PIN_C18 7 B7_N0 PIN_C18 2.5 V 12mA (default) 2 (default)
HEX1[1] Output PIN_D18 6 B6_N0 PIN_D18 2.5 V 12mA (default) 2 (default)
HEX1[2] Output PIN_E18 6 B6_N0 PIN_E18 2.5 V 12mA (default) 2 (default)
HEX1[3] Output PIN_B16 7 B7_N0 PIN_B16 2.5 V 12mA (default) 2 (default)
HEX1[4] Output PIN_A17 7 B7_N0 PIN_A17 2.5 V 12mA (default) 2 (default)
HEX1[5] Output PIN_A18 7 B7_N0 PIN_A18 2.5 V 12mA (default) 2 (default)
HEX1[6] Output PIN_B17 7 B7_N0 PIN_B17 2.5 V 12mA (default) 2 (default)
HEX2[0] Output PIN_B20 6 B6_N0 PIN_B20 2.5 V 12mA (default) 2 (default)
HEX2[1] Output PIN_A20 7 B7_N0 PIN_A20 2.5 V 12mA (default) 2 (default)
HEX2[2] Output PIN_B19 7 B7_N0 PIN_B19 2.5 V 12mA (default) 2 (default)
100% 00:00:51
28°C Kabut
Search
11:40 07/05/2024

Modul Praktikum







Tabel *pin assignment* yang digunakan pada modul 9

Signal Name	FPGA Pin No.	Description	I/O Standard
SW0	PIN_C10	Slide Switch[0]	3.3-V LVTTL
SW1	PIN_C11	Slide Switch[1]	3.3-V LVTTL

Signal Name	FPGA Pin No.	Description	I/O Standard
LEDR0	PIN_A8	LED [0]	3.3-V LVTTL

Signal Name	FPGA Pin No.	Description	I/O Standard
KEY0	PIN_B8	Push-button[0]	3.3 V SCHMITT TRIGGER"
KEY1	PIN_A7	Push-button[1]	3.3 V SCHMITT TRIGGER"

Signal Name	FPGA Pin No.	Description	I/O Standard
HEX00	PIN_C14	Seven Segment Digit 0[0]	3.3-V LVTTL
HEX01	PIN_E15	Seven Segment Digit 0[1]	3.3-V LVTTL
HEX02	PIN_C15	Seven Segment Digit 0[2]	3.3-V LVTTL
HEX03	PIN_C16	Seven Segment Digit 0[3]	3.3-V LVTTL
HEX04	PIN_E16	Seven Segment Digit 0[4]	3.3-V LVTTL
HEX05	PIN_D17	Seven Segment Digit 0[5]	3.3-V LVTTL