MODUL 12
IMPLEMENTASI RANGKAIAN BLOK MEMORI DI FPGA MENGGUNAKAN VERILOG-HDL

1. Tujuan Praktikum

Setelah mempraktekan topik ini, praktikan diharapkan dapat :

- Praktikan dapat memahami konsep dasar dari Blok Memori
- Praktikan dapat mengimplementasikan Blok Memori pada Verilog HDL di software ModelSim
- Praktikan dapat mensimulasikan pada board FPGA DE10-Lite
- Praktikan dapat mengetahui fitur blok M9K pada FPGA DE10-Lite

2. Dasar Teori

2.1 Blok Memori

Blok Memori pada sistem digital merupakan komponen yang digunakan untuk menyimpan dan mengakses data secara elektronik. Blok Memori juga dapat berupa RAM (Random Access Memory) dengan sifat cepat tetapi hanya sementara, atau bisa juga berupa ROM (Read-Only Memory) yang bersifat permanen. Blok Memori berperan penting sebab menyediakan ruang untuk penyimpanan program yang berjalan begitu juga data yang sedang diproses oleh CPU (Central Processing Unit), dan menyimpan data informasi yang dibutuhkan sistem digital secara keseluruhan.

2.2 M9K FPGA DE10-Lite

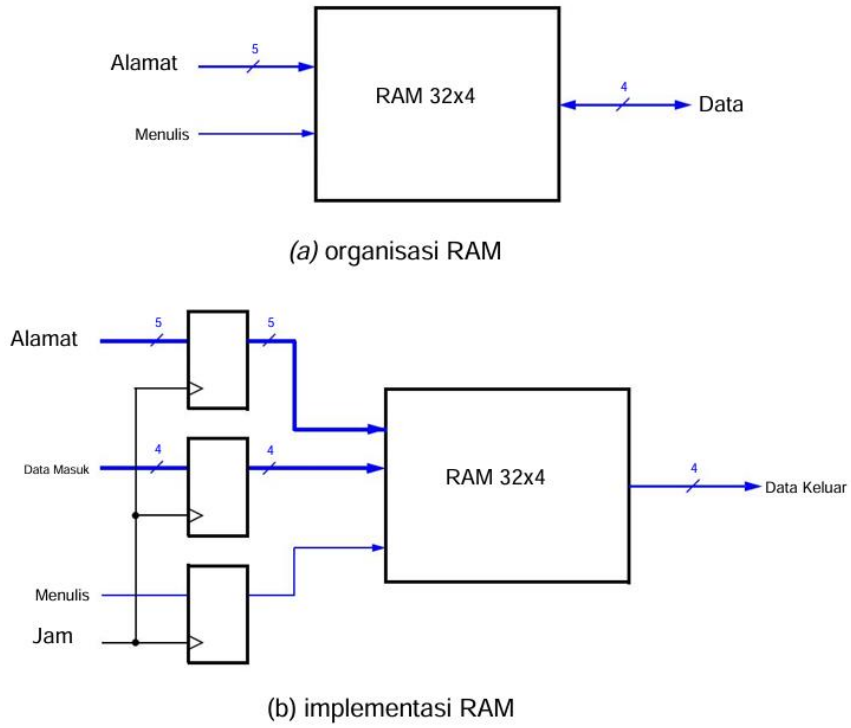
FPGA yang disertakan pada papan Intel® FPGA DE10-Lite, DE0-CV, DE1-SoC, dan DE2-115 menyediakan sumber daya memori khusus. MAX 10 FPGA pada DE10-Lite, dan Cyclone IV FPGA pada DE2-115 berisi sumber daya memori khusus yang disebut blok M9K. Blok M9K pada FPGA DE10-Lite adalah jenis blok RAM (Random Access Memory) yang tersedia di dalam FPGA tersebut. Blok M9K merupakan blok RAM yang cukup besar dan sering digunakan untuk menyimpan data dalam proyek FPGA. M9K adalah singkatan dari "Memory 9-Kilobit", yang menunjukkan kapasitasnya sekitar 9 kilobit (lebih tepatnya 9216 bit). Blok M9K biasanya digunakan untuk menyimpan data yang perlu diakses dengan kecepatan tinggi oleh logika dalam FPGA, seperti tabel pencarian, buffer, atau cache. Penggunaan blok M9K memungkinkan akses data yang cepat dan efisien dalam penggunaan sumber daya FPGA.

2.3 M10K Cyclone V FPGA

Cyclone V FPGA pada papan DE0-CV dan DE1-SoC memiliki blok M10K. Blok M10K pada FPGA Cyclone V adalah jenis blok RAM (Random Access

Memory) yang memiliki kapasitas sekitar 10 kilobit (lebih tepatnya 10240). Blok M10K digunakan untuk menyimpan data dalam proyek FPGA dengan kecepatan tinggi dan keandalan yang tinggi. M10K biasanya digunakan untuk menyimpan data yang perlu diakses dengan cepat oleh logika dalam FPGA, seperti tabel pencarian, buffer, atau cache. Blok M10K memberikan akses data yang cepat dan efisien dalam penggunaan sumber daya FPGA dan merupakan komponen penting dalam mendesain sistem digital yang kompleks.

Berikut merupakan contoh dari skema organisasi RAM dan implementasi RAM.



Gambar 2.3 Organisasi dan Implementasi RAM

(a) Organisasi RAM

Gambar ini memperlihatkan organisasi dasar RAM dengan kapasitas 32x4. Berikut komponen-komponennya:

- RAM 32x4: RAM ini memiliki 32 lokasi memori, masing-masing dapat menyimpan data sebesar 4 bit.
- Alamat (5 bit): Masukan alamat memiliki panjang 5 bit, yang dapat digunakan untuk memilih salah satu dari 32 lokasi memori (2^5 = 32).

- Menulis: Sinyal kontrol untuk menulis data ke RAM. Ketika sinyal ini aktif, data yang berada di bus data akan ditulis ke lokasi yang dipilih oleh alamat.
- Data (4 bit): Bus data dengan lebar 4 bit yang digunakan untuk membaca data dari RAM atau menulis data ke RAM.

(b) Implementasi RAM

Gambar ini memperlihatkan implementasi lebih rinci dari RAM 32x4 dengan beberapa elemen tambahan:

- Alamat (5 bit): Input alamat yang terdiri dari 5 bit digunakan untuk mengakses lokasi tertentu dalam RAM.
- Multiplexer: Ada dua multiplexer di sini:
  Satu untuk alamat dengan lebar 5 bit.
  Satu lagi untuk data masuk dengan lebar 4 bit.
- Data Masuk (4 bit): Bus data input dengan lebar 4 bit untuk menulis data ke RAM.
- Menulis: Sinyal kontrol untuk menulis data ke RAM. Dikombinasikan dengan sinyal jam (clock) untuk menyinkronkan proses penulisan.
- Jam (Clock): Sinyal jam yang digunakan untuk mengatur waktu penulisan data ke RAM. Ketika sinyal menulis dan sinyal jam aktif, data akan ditulis ke lokasi yang ditunjuk oleh alamat.
- Data Keluar (4 bit): Bus data output dengan lebar 4 bit untuk membaca data dari RAM.

3. Lembar Kegiatan Praktikum

3.1 Alat dan Bahan

- Software Quartus II
- ModelSim
- FPGA DE10-Lite
- Mouse
- Laptop

3.2 Langkah Praktikum Modul 10

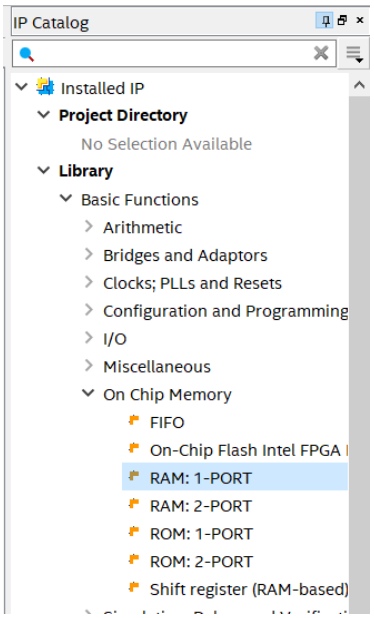
PART 1

1. Tuliskan code Verilog dibawah ini lalu compile

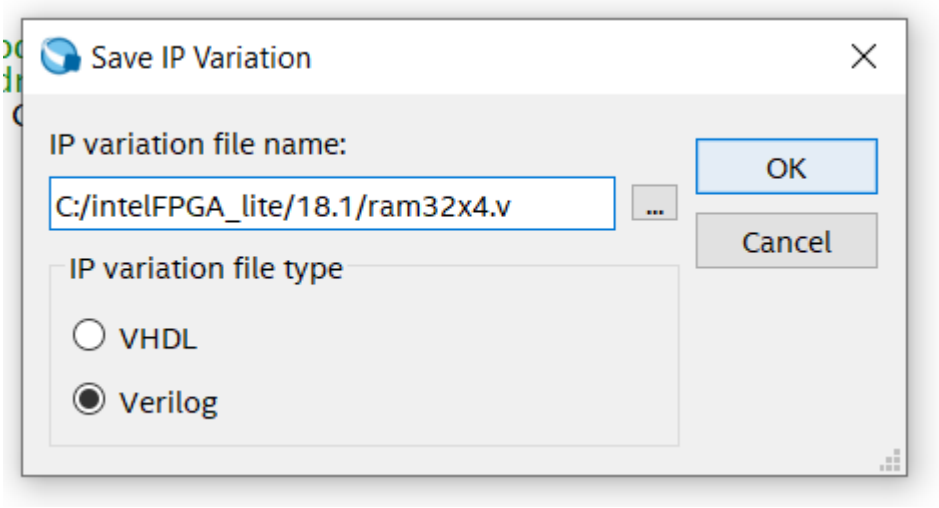
part1mod12.v — Compilation Repor

```
// RAM module
// inputs:
//    Clock
// Address
// Write: asserted to perform a write
// DataIn: data to be written
//
// outputs:
//    DataOut: data read
module part1mod12 (Clock, DataIn, DataOut, Address, Write);
   input Clock, Write;
   input [3:0] DataIn;
   output [3:0] DataOut;
   input [4:0] Address;

   // instantiate LPM module
   // module ramlpm (address, clock, data, wren, q);
   ram32x4 U1 (Address, Clock, DataIn, Write, DataOut);
endmodule
```

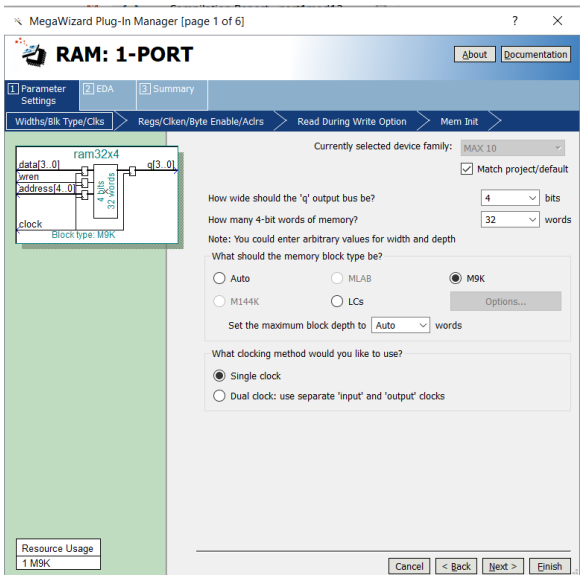
2. Lalu pilih Tools > Ip Catalog > Basic Funcions > On chip Memory > klik duakali RAM: 1-PORT

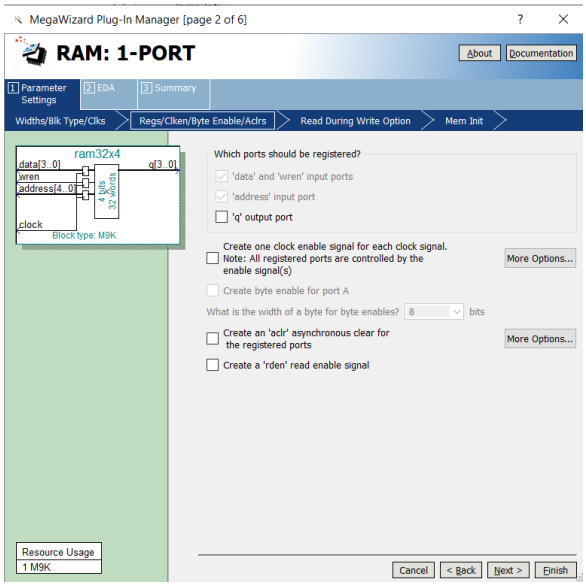


3. Lalu beri nama ram32x4.v dengan format Verilog4.

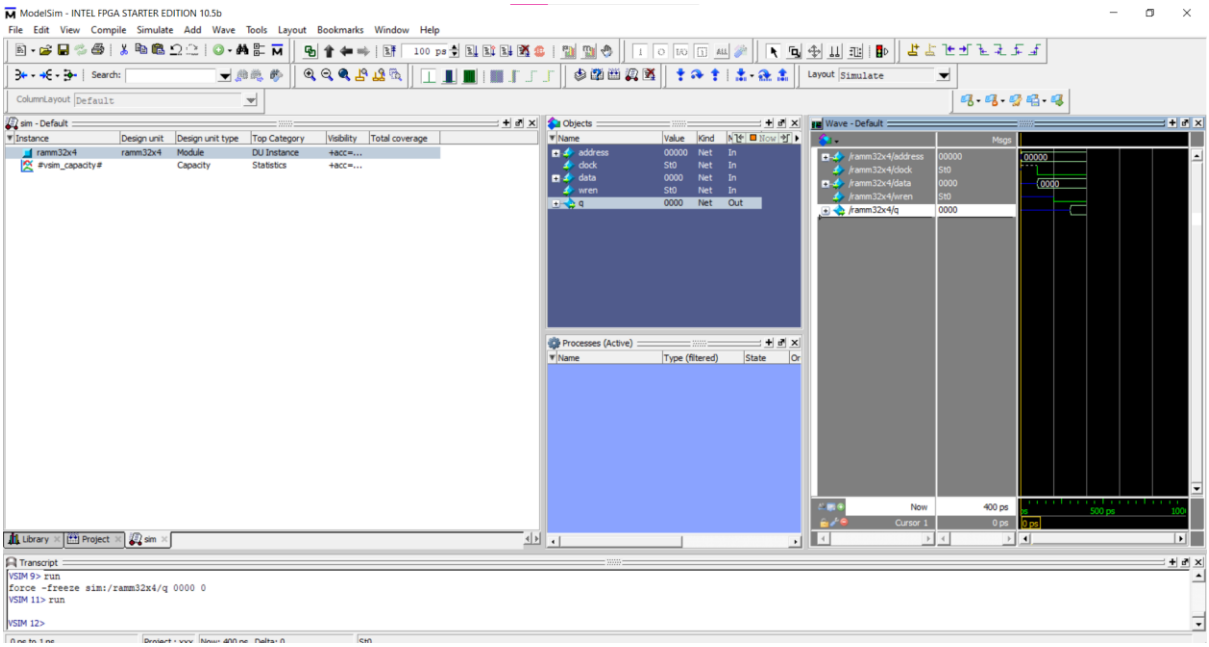


4. Ubah menjadi setting seperti dibawah ini

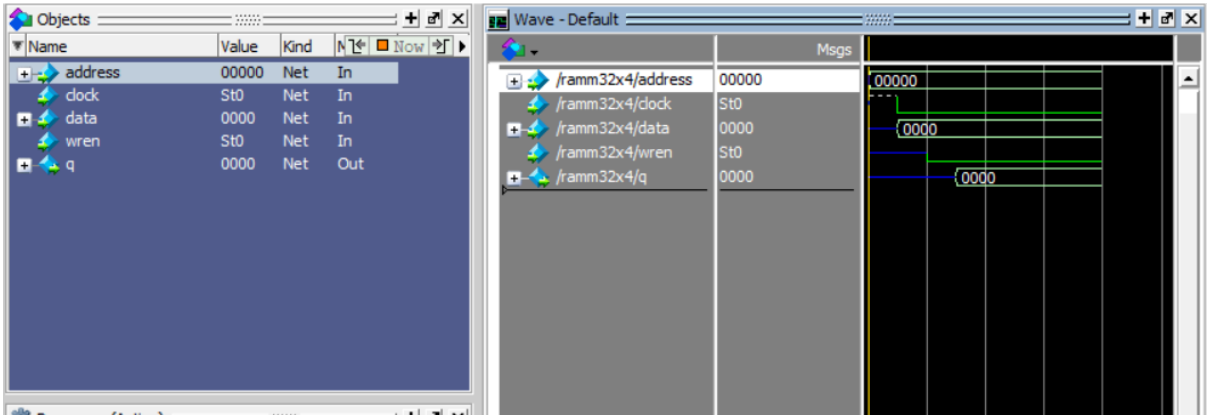




5. Buka Model Sim > New project > lalu masukkan file **ram32x4.v** yang telah kalian buat, lalu add wave dan tambahkan value/force



6. Simulasikan perilaku sirkuit Anda menggunakan Modelsim dan pastikan Anda dapat membaca dan menulis data di memori.



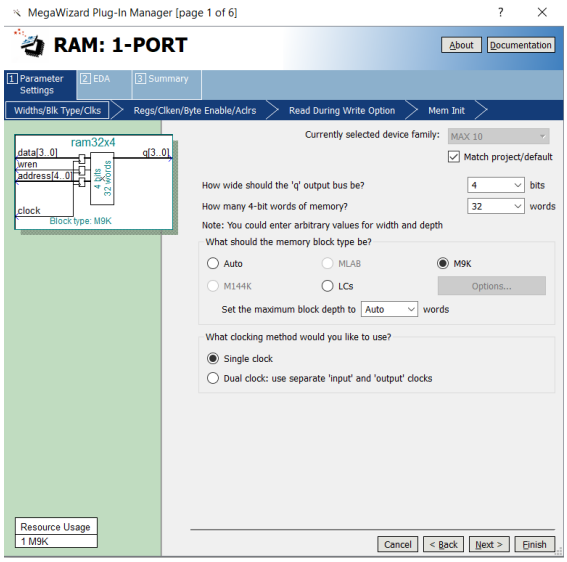
PART2

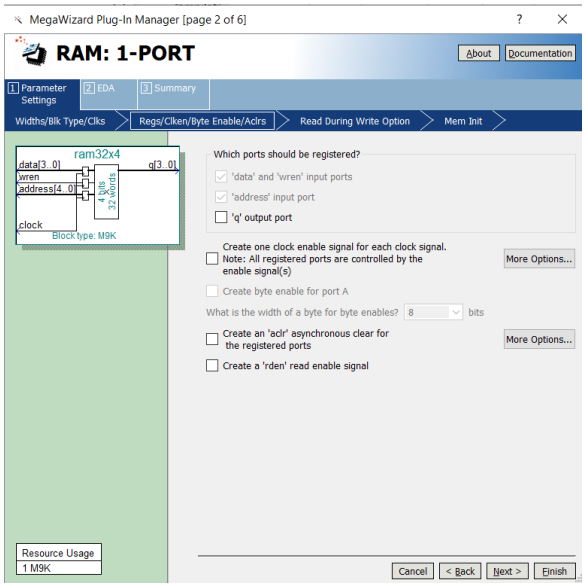
Untuk membuat sirkuit memori pada FPGA di papan DE-series, pertama buat proyek baru di Quartus dan buat file Verilog yang menginstansiasi modul `ram32x4` dengan input dan output yang sesuai. Gunakan switch geser SW3−0 untuk menyediakan data input ke RAM, SW8−4 untuk menentukan alamat memori, SW9 sebagai sinyal Write, dan KEY0 sebagai input Clock. Tampilkan alamat pada tampilan 7-segmen HEX5 dan HEX4, data input pada HEX2, dan data yang dibaca dari RAM pada HEX0. Setelah itu, kompilasi proyek, unggah desain ke papan, dan uji sirkuit untuk memastikan data bisa disimpan dan ditampilkan dengan benar.

1. Tuliskan codingan dibawah ini

```
module part2mod12 (KEY, SW, HEX5, HEX4, HEX2, HEX0, LEDR);
   input [0:0] KEY;
   input [9:0] SW;
   output [0:6] HEX5, HEX4, HEX2, HEX0;
   output [9:0] LEDR;

   wire Clock, Write;
   wire [4:0] Address;
   wire [3:0] DataIn, DataOut;

   assign Clock = KEY[0];
   assign Write = SW[9];
   assign DataIn = SW[3:0];
   assign Address = SW[8:4];

   // instantiate memory module
   // module ram32x4 (address, clock, data, wren, q);
   ram32x4 U1 (Address, Clock, DataIn, Write, DataOut);

   // display the data input, data output, and address on the 7-segs
   hex7seg digit0 (DataOut[3:0], HEX0);
   hex7seg digit2 (DataIn[3:0], HEX2);
   hex7seg digit5 ({3'b0, Address[4]}, HEX5);
   hex7seg digit4 (Address[3:0], HEX4);

   assign LEDR[3:0] = DataIn;
   assign LEDR[8:4] = Address;
   assign LEDR[9] = Write;
endmodule

// the B input blanks the display when B = 1
module hex7seg (hex, display);
   input [3:0] hex;
   output [0:6] display;

   reg [0:6] display;

   /*
   /*
    *        0
    *       ---
    *      |   |
    *    5 |   | 1
    *      | 6 |
    *       ---
    *      |   |
    *    4 |   | 2
    *      |   |
    *       ---  |
    *        3
    */
   always @ (hex)
      case (hex)
         4'h0: display = 7'b0000001;
         4'h1: display = 7'b1001111;
         4'h2: display = 7'b0010010;
         4'h3: display = 7'b0000110;
         4'h4: display = 7'b1001100;
         4'h5: display = 7'b0100100;
         4'h6: display = 7'b0100000;
         4'h7: display = 7'b0001111;
         4'h8: display = 7'b0000000;
         4'h9: display = 7'b0000100;
         4'hA: display = 7'b0001000;
         4'hb: display = 7'b1100000;
         4'hC: display = 7'b0110001;
         4'hd: display = 7'b1000010;
         4'hE: display = 7'b0110000;
         4'hF: display = 7'b0111000;
      endcase
endmodule
```

2. sett ini seperti part 1





3. Pin Planner

Named: * Edit:

Node Name	Direction	Location	I/O Bank	VREF Group	itter Locatior	I/O Standard	Reserved	urrent Streng	Slew Rate	ifferential Pai	ict Preservati
HEX0[0]	Output	PIN_C14	7	B7_N0	PIN_C14	2.5 V		12mA ...ault)	2 (default)		
HEX0[1]	Output	PIN_E15	7	B7_N0	PIN_E15	2.5 V		12mA ...ault)	2 (default)		
HEX0[2]	Output	PIN_C15	7	B7_N0	PIN_C15	2.5 V		12mA ...ault)	2 (default)		
HEX0[3]	Output	PIN_C16	7	B7_N0	PIN_C16	2.5 V		12mA ...ault)	2 (default)		
HEX0[4]	Output	PIN_E16	7	B7_N0	PIN_E16	2.5 V		12mA ...ault)	2 (default)		
HEX0[5]	Output	PIN_D17	7	B7_N0	PIN_D17	2.5 V		12mA ...ault)	2 (default)		
HEX0[6]	Output	PIN_C17	7	B7_N0	PIN_C17	2.5 V		12mA ...ault)	2 (default)		
HEX2[0]	Output	PIN_B20	6	B6_N0	PIN_B20	2.5 V		12mA ...ault)	2 (default)		
HEX2[1]	Output	PIN_A20	7	B7_N0	PIN_A20	2.5 V		12mA ...ault)	2 (default)		
HEX2[2]	Output	PIN_B19	7	B7_N0	PIN_B19	2.5 V		12mA ...ault)	2 (default)		
HEX2[3]	Output	PIN_A21	6	B6_N0	PIN_A21	2.5 V		12mA ...ault)	2 (default)		
HEX2[4]	Output	PIN_B21	6	B6_N0	PIN_B21	2.5 V		12mA ...	12mA (default)		
HEX2[5]	Output	PIN_C22	6	B6_N0	PIN_C22	2.5 V		12mA ...ault)	2 (default)		
HEX2[6]	Output	PIN_B22	6	B6_N0	PIN_B22	2.5 V		12mA ...ault)	2 (default)		
HEX4[0]	Output	PIN_F18	6	B6_N0	PIN_F18	2.5 V		12mA ...ault)	2 (default)		
HEX4[1]	Output	PIN_E20	6	B6_N0	PIN_E20	2.5 V		12mA ...ault)	2 (default)		
HEX4[2]	Output	PIN_E19	6	B6_N0	PIN_E19	2.5 V		12mA ...ault)	2 (default)		
HEX4[3]	Output	PIN_J18	6	B6_N0	PIN_J18	2.5 V		12mA ...ault)	2 (default)		
HEX4[4]	Output	PIN_H19	6	B6_N0	PIN_H19	2.5 V		12mA ...ault)	2 (default)		
HEX4[5]	Output	PIN_F19	6	B6_N0	PIN_F19	2.5 V		12mA ...ault)	2 (default)		
HEX4[6]	Output	PIN_F20	6	B6_N0	PIN_F20	2.5 V		12mA ...ault)	2 (default)		
HEX5[0]	Output	PIN_J20	6	B6_N0	PIN_J20	2.5 V		12mA ...ault)	2 (default)		
HEX5[1]	Output	PIN_K20	6	B6_N0	PIN_K20	2.5 V		12mA ...ault)	2 (default)		
HEX5[2]	Output	PIN_L18	6	B6_N0	PIN_L18	2.5 V		12mA ...ault)	2 (default)		
HEX5[3]	Output	PIN_N18	6	B6_N0	PIN_N18	2.5 V		12mA ...ault)	2 (default)		
HEX5[4]	Output	PIN_M20	6	B6_N0	PIN_M20	2.5 V		12mA ...ault)	2 (default)		
HEX5[5]	Output	PIN_N19	6	B6_N0	PIN_N19	2.5 V		12mA ...ault)	2 (default)		
HEX5[6]	Output	PIN_N20	6	B6_N0	PIN_N20	2.5 V		12mA ...ault)	2 (default)		

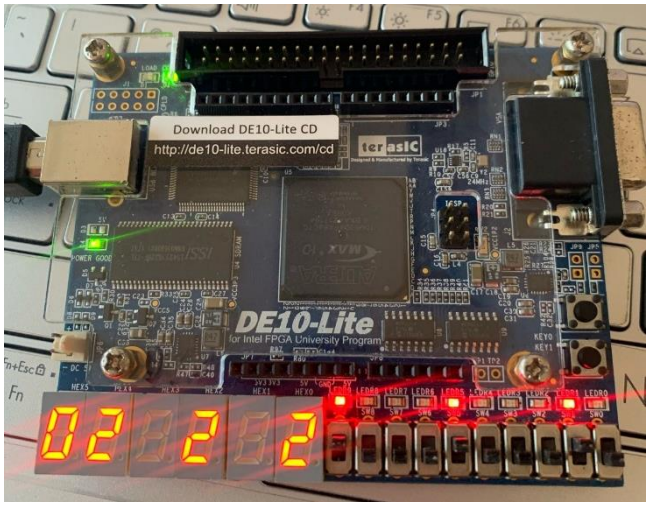
All Pins

Named: * Edit:

Node Name	Direction	Location	I/O Bank	VREF Group	itter Locatior	I/O Standard	Reserved	urrent Streng	Slew Rate	ifferential Pai	ict Preservati
HEX5[1]	Output	PIN_K20	6	B6_N0	PIN_K20	2.5 V		12mA ...ault)	2 (default)		
HEX5[2]	Output	PIN_L18	6	B6_N0	PIN_L18	2.5 V		12mA ...ault)	2 (default)		
HEX5[3]	Output	PIN_N18	6	B6_N0	PIN_N18	2.5 V		12mA ...ault)	2 (default)		
HEX5[4]	Output	PIN_M20	6	B6_N0	PIN_M20	2.5 V		12mA ...ault)	2 (default)		
HEX5[5]	Output	PIN_N19	6	B6_N0	PIN_N19	2.5 V		12mA ...ault)	2 (default)		
HEX5[6]	Output	PIN_N20	6	B6_N0	PIN_N20	2.5 V		12mA ...ault)	2 (default)		
KEY[0]	Input	PIN_B8	7	B7_N0	PIN_B8	2.5 V		12mA ...ault)			
LEDR[9]	Output	PIN_B11	7	B7_N0	PIN_B11	2.5 V		12mA ...ault)	2 (default)		
LEDR[8]	Output	PIN_A11	7	B7_N0	PIN_A11	2.5 V		12mA ...ault)	2 (default)		
LEDR[7]	Output	PIN_D14	7	B7_N0	PIN_D14	2.5 V		12mA ...ault)	2 (default)		
LEDR[6]	Output	PIN_E14	7	B7_N0	PIN_E14	2.5 V		12mA ...ault)	2 (default)		
LEDR[5]	Output	PIN_C13	7	B7_N0	PIN_C13	2.5 V		12mA ...ault)	2 (default)		
LEDR[4]	Output	PIN_D13	7	B7_N0	PIN_D13	2.5 V		12mA ...ault)	2 (default)		
LEDR[3]	Output	PIN_B10	7	B7_N0	PIN_B10	2.5 V		12mA ...ault)	2 (default)		
LEDR[2]	Output	PIN_A10	7	B7_N0	PIN_A10	2.5 V		12mA ...ault)	2 (default)		
LEDR[1]	Output	PIN_A9	7	B7_N0	PIN_A9	2.5 V		12mA ...ault)	2 (default)		
LEDR[0]	Output	PIN_A8	7	B7_N0	PIN_A8	2.5 V		12mA ...ault)	2 (default)		
SW[9]	Input	PIN_F15	7	B7_N0	PIN_F15	2.5 V		12mA ...ault)			
SW[8]	Input	PIN_B14	7	B7_N0	PIN_B14	2.5 V		12mA ...ault)			
SW[7]	Input	PIN_A14	7	B7_N0	PIN_A14	2.5 V		12mA ...ault)			
SW[6]	Input	PIN_A13	7	B7_N0	PIN_A13	2.5 V		12mA ...ault)			
SW[5]	Input	PIN_B12	7	B7_N0	PIN_B12	2.5 V		12mA ...ault)			
SW[4]	Input	PIN_A12	7	B7_N0	PIN_A12	2.5 V		12mA ...ault)			
SW[3]	Input	PIN_C12	7	B7_N0	PIN_C12	2.5 V		12mA ...ault)			
SW[2]	Input	PIN_D12	7	B7_N0	PIN_D12	2.5 V		12mA ...ault)			
SW[1]	Input	PIN_C11	7	B7_N0	PIN_C11	2.5 V		12mA ...ault)			
SW[0]	Input	PIN_C10	7	B7_N0	PIN_C10	2.5 V		12mA ...ault)			
<<new node>>											

All Pins

4. Sambungkan dengan FPGA dan hasil di FPGA seperti ini



PART 3

Untuk membuat sirkuit memori di FPGA tanpa menggunakan modul memori dari IP Catalog, kita bisa mendefinisikan memori sebagai array multidimensi dalam kode Verilog. Misalnya, array 32 x 4 bisa dideklarasikan dengan `reg [3:0] memory_array [31:0];`. Buat proyek baru di Quartus untuk papan DE-series, tulis file Verilog yang memuat RAM dan bisa membaca isinya seperti di Part II, hubungkan pin FPGA dengan switch dan tampilan 7-segmen, kompilasi dan unggah sirkuit ke FPGA, lalu uji desain dengan memberikan beberapa input dan mengamati outputnya.

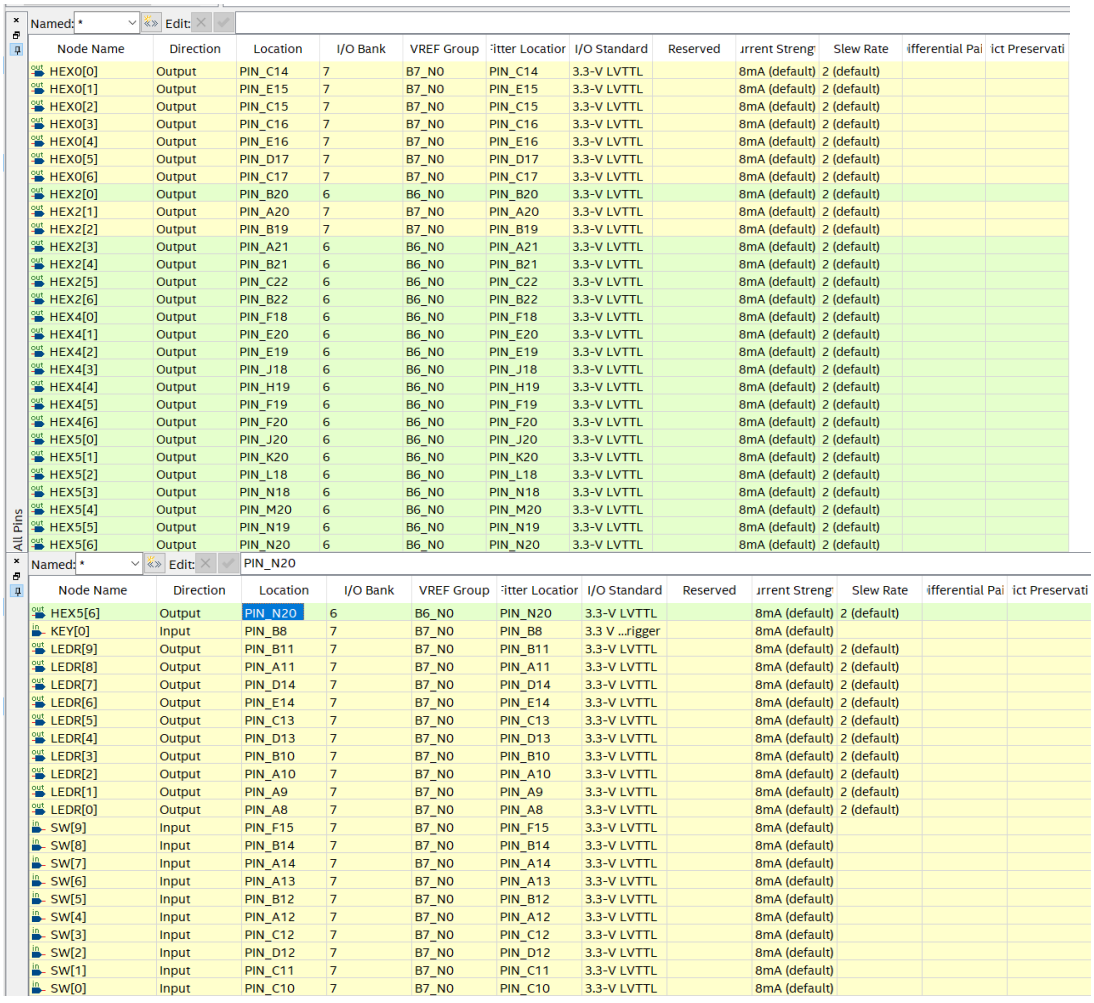
1. Tuliskan codingan dibawah ini

```
module part3modul12 (KEY, SW, HEX5, HEX4, HEX2, HEX0, LEDR);
   input [0:0] KEY;
   input [9:0] SW;
   output [0:6] HEX5, HEX4, HEX2, HEX0;
   output [9:0] LEDR;

   wire Clock, Write;
   wire [4:0] Address;
   wire [3:0] DataIn, DataOut;

   assign Clock = KEY[0];
   assign Write = SW[9];
   assign DataIn = SW[3:0];
   assign Address = SW[8:4];

   reg [3:0] memory_array [31:0];
   reg [4:0] Address_reg;

   // infer RAM module
   always @(posedge Clock)
   begin
      if (Write)
         memory_array[Address] <= DataIn;
      Address_reg <= Address;
   end
   assign DataOut = memory_array[Address_reg];


   // display the data input, data output, and address on the 7-segs
   hex7seg digit0 (DataOut[3:0], HEX0);
   hex7seg digit1 (DataIn[3:0], HEX2);
   hex7seg digit5 ({3'b0, Address[4]}, HEX5);
   hex7seg digit4 (Address[3:0], HEX4);

   assign LEDR[3:0] = DataIn;
   assign LEDR[8:4] = Address;
   assign LEDR[9] = Write;
endmodule
```

```
39
40  // the B input blanks the display when B = 1
41  module hex7seg (hex, display);
42     input [3:0] hex;
43     output [0:6] display;
44
45     reg [0:6] display;
46
47     always @ (hex)
48        case (hex)
49           4'h0: display = 7'b0000001;
50           4'h1: display = 7'b1001111;
51           4'h2: display = 7'b0010010;
52           4'h3: display = 7'b0000110;
53           4'h4: display = 7'b1001100;
54           4'h5: display = 7'b0100100;
55           4'h6: display = 7'b0100000;
56           4'h7: display = 7'b0001111;
57           4'h8: display = 7'b0000000;
58           4'h9: display = 7'b0000100;
59           4'hA: display = 7'b0001000;
60           4'hb: display = 7'b1100000;
61           4'hC: display = 7'b0110001;
62           4'hd: display = 7'b1000010;
63           4'hE: display = 7'b0110000;
64           4'hF: display = 7'b0111000;
65        endcase
66  endmodule
67
```

2. Lalu Compile dan lanjutkan masukan Pin Planner

- Pin Planner



Named: * Edit:

Node Name	Direction	Location	I/O Bank	VREF Group	itter Locatior	I/O Standard	Reserved	urrent Streng	Slew Rate	ifferential Pai	ict Preservati
HEX0[0]	Output	PIN_C14	7	B7_N0	PIN_C14	3.3-V LVTTL		8mA (default)	2 (default)		
HEX0[1]	Output	PIN_E15	7	B7_N0	PIN_E15	3.3-V LVTTL		8mA (default)	2 (default)		
HEX0[2]	Output	PIN_C15	7	B7_N0	PIN_C15	3.3-V LVTTL		8mA (default)	2 (default)		
HEX0[3]	Output	PIN_C16	7	B7_N0	PIN_C16	3.3-V LVTTL		8mA (default)	2 (default)		
HEX0[4]	Output	PIN_E16	7	B7_N0	PIN_E16	3.3-V LVTTL		8mA (default)	2 (default)		
HEX0[5]	Output	PIN_D17	7	B7_N0	PIN_D17	3.3-V LVTTL		8mA (default)	2 (default)		
HEX0[6]	Output	PIN_C17	7	B7_N0	PIN_C17	3.3-V LVTTL		8mA (default)	2 (default)		
HEX2[0]	Output	PIN_B20	6	B6_N0	PIN_B20	3.3-V LVTTL		8mA (default)	2 (default)		
HEX2[1]	Output	PIN_A20	7	B7_N0	PIN_A20	3.3-V LVTTL		8mA (default)	2 (default)		
HEX2[2]	Output	PIN_B19	7	B7_N0	PIN_B19	3.3-V LVTTL		8mA (default)	2 (default)		
HEX2[3]	Output	PIN_A21	6	B6_N0	PIN_A21	3.3-V LVTTL		8mA (default)	2 (default)		
HEX2[4]	Output	PIN_B21	6	B6_N0	PIN_B21	3.3-V LVTTL		8mA (default)	2 (default)		
HEX2[5]	Output	PIN_C22	6	B6_N0	PIN_C22	3.3-V LVTTL		8mA (default)	2 (default)		
HEX2[6]	Output	PIN_B22	6	B6_N0	PIN_B22	3.3-V LVTTL		8mA (default)	2 (default)		
HEX4[0]	Output	PIN_F18	6	B6_N0	PIN_F18	3.3-V LVTTL		8mA (default)	2 (default)		
HEX4[1]	Output	PIN_E20	6	B6_N0	PIN_E20	3.3-V LVTTL		8mA (default)	2 (default)		
HEX4[2]	Output	PIN_E19	6	B6_N0	PIN_E19	3.3-V LVTTL		8mA (default)	2 (default)		
HEX4[3]	Output	PIN_J18	6	B6_N0	PIN_J18	3.3-V LVTTL		8mA (default)	2 (default)		
HEX4[4]	Output	PIN_H19	6	B6_N0	PIN_H19	3.3-V LVTTL		8mA (default)	2 (default)		
HEX4[5]	Output	PIN_F19	6	B6_N0	PIN_F19	3.3-V LVTTL		8mA (default)	2 (default)		
HEX4[6]	Output	PIN_F20	6	B6_N0	PIN_F20	3.3-V LVTTL		8mA (default)	2 (default)		
HEX5[0]	Output	PIN_J20	6	B6_N0	PIN_J20	3.3-V LVTTL		8mA (default)	2 (default)		
HEX5[1]	Output	PIN_K20	6	B6_N0	PIN_K20	3.3-V LVTTL		8mA (default)	2 (default)		
HEX5[2]	Output	PIN_L18	6	B6_N0	PIN_L18	3.3-V LVTTL		8mA (default)	2 (default)		
HEX5[3]	Output	PIN_N18	6	B6_N0	PIN_N18	3.3-V LVTTL		8mA (default)	2 (default)		
HEX5[4]	Output	PIN_M20	6	B6_N0	PIN_M20	3.3-V LVTTL		8mA (default)	2 (default)		
HEX5[5]	Output	PIN_N19	6	B6_N0	PIN_N19	3.3-V LVTTL		8mA (default)	2 (default)		
HEX5[6]	Output	PIN_N20	6	B6_N0	PIN_N20	3.3-V LVTTL		8mA (default)	2 (default)		

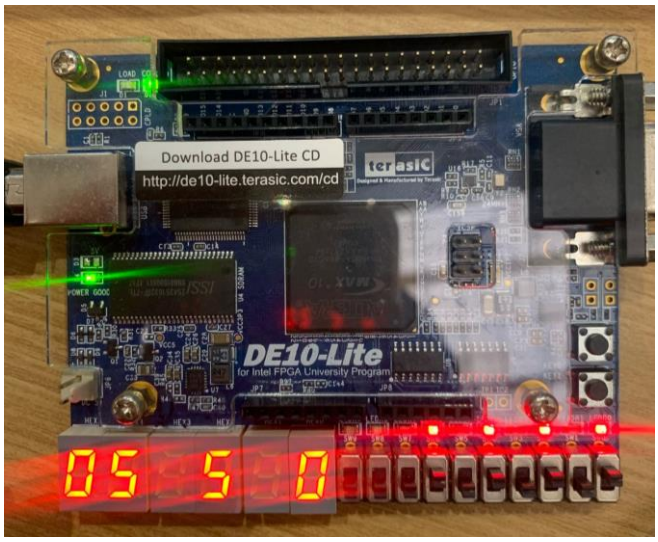
All Pins

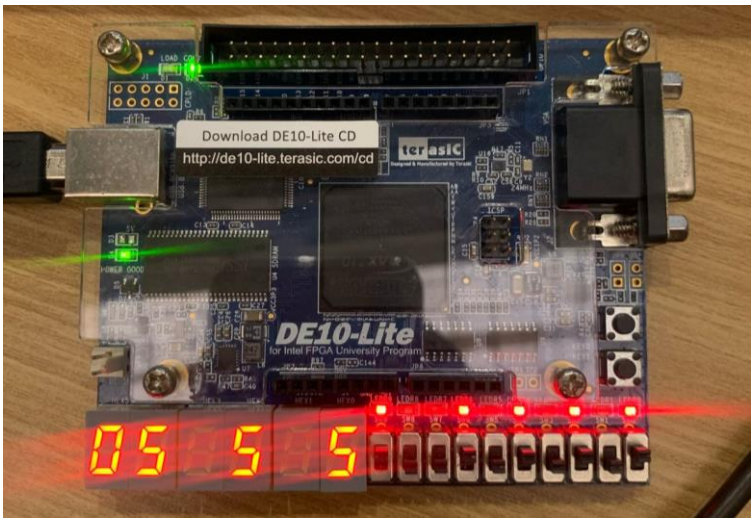
Named: * Edit: PIN_N20

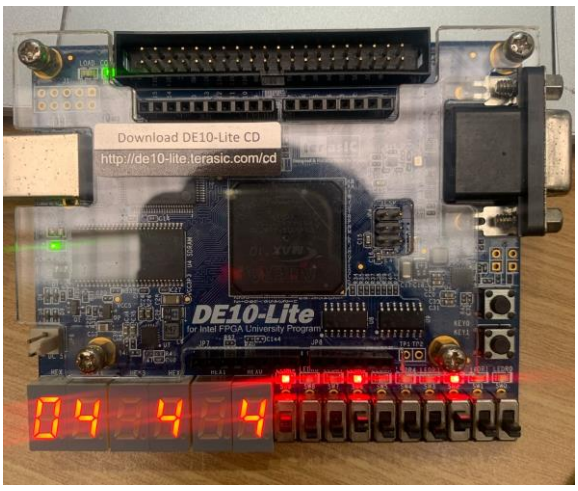
Node Name	Direction	Location	I/O Bank	VREF Group	itter Locatior	I/O Standard	Reserved	urrent Streng	Slew Rate	ifferential Pai	ict Preservati
HEX5[6]	Output	PIN_N20	6	B6_N0	PIN_N20	3.3-V LVTTL		8mA (default)	2 (default)		
KEY[0]	Input	PIN_B8	7	B7_N0	PIN_B8	3.3 V ...rigger		8mA (default)			
LEDR[9]	Output	PIN_B11	7	B7_N0	PIN_B11	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[8]	Output	PIN_A11	7	B7_N0	PIN_A11	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[7]	Output	PIN_D14	7	B7_N0	PIN_D14	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[6]	Output	PIN_E14	7	B7_N0	PIN_E14	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[5]	Output	PIN_C13	7	B7_N0	PIN_C13	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[4]	Output	PIN_D13	7	B7_N0	PIN_D13	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[3]	Output	PIN_B10	7	B7_N0	PIN_B10	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[2]	Output	PIN_A10	7	B7_N0	PIN_A10	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[1]	Output	PIN_A9	7	B7_N0	PIN_A9	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[0]	Output	PIN_A8	7	B7_N0	PIN_A8	3.3-V LVTTL		8mA (default)	2 (default)		
SW[9]	Input	PIN_F15	7	B7_N0	PIN_F15	3.3-V LVTTL		8mA (default)			
SW[8]	Input	PIN_B14	7	B7_N0	PIN_B14	3.3-V LVTTL		8mA (default)			
SW[7]	Input	PIN_A14	7	B7_N0	PIN_A14	3.3-V LVTTL		8mA (default)			
SW[6]	Input	PIN_A13	7	B7_N0	PIN_A13	3.3-V LVTTL		8mA (default)			
SW[5]	Input	PIN_B12	7	B7_N0	PIN_B12	3.3-V LVTTL		8mA (default)			
SW[4]	Input	PIN_A12	7	B7_N0	PIN_A12	3.3-V LVTTL		8mA (default)			
SW[3]	Input	PIN_C12	7	B7_N0	PIN_C12	3.3-V LVTTL		8mA (default)			
SW[2]	Input	PIN_D12	7	B7_N0	PIN_D12	3.3-V LVTTL		8mA (default)			
SW[1]	Input	PIN_C11	7	B7_N0	PIN_C11	3.3-V LVTTL		8mA (default)			
SW[0]	Input	PIN_C10	7	B7_N0	PIN_C10	3.3-V LVTTL		8mA (default)			

HEX0[7]	Unknown	PIN_D15	7	B7_N0		3.3-V LVTTL	8mA (default)	
HEX1[0]	Unknown	PIN_C18	7	B7_N0		3.3-V LVTTL	8mA (default)	
HEX1[1]	Unknown	PIN_D18	6	B6_N0		3.3-V LVTTL	8mA (default)	
HEX1[2]	Unknown	PIN_E18	6	B6_N0		3.3-V LVTTL	8mA (default)	
HEX1[3]	Unknown	PIN_B16	7	B7_N0		3.3-V LVTTL	8mA (default)	
HEX1[4]	Unknown	PIN_A17	7	B7_N0		3.3-V LVTTL	8mA (default)	
HEX1[5]	Unknown	PIN_A18	7	B7_N0		3.3-V LVTTL	8mA (default)	
HEX1[6]	Unknown	PIN_B17	7	B7_N0		3.3-V LVTTL	8mA (default)	
HEX1[7]	Unknown	PIN_A16	7	B7_N0		3.3-V LVTTL	8mA (default)	
HEX2[7]	Unknown	PIN_A19	7	B7_N0		3.3-V LVTTL	8mA (default)	
HEX3[0]	Unknown	PIN_F21	6	B6_N0		3.3-V LVTTL	8mA (default)	
HEX3[1]	Unknown	PIN_E22	6	B6_N0		3.3-V LVTTL	8mA (default)	
HEX3[2]	Unknown	PIN_E21	6	B6_N0		3.3-V LVTTL	8mA (default)	
HEX3[3]	Unknown	PIN_C19	7	B7_N0		3.3-V LVTTL	8mA (default)	
HEX3[4]	Unknown	PIN_C20	6	B6_N0		3.3-V LVTTL	8mA (default)	
HEX3[5]	Unknown	PIN_D19	6	B6_N0		3.3-V LVTTL	8mA (default)	
HEX3[6]	Unknown	PIN_E17	6	B6_N0		3.3-V LVTTL	8mA (default)	
HEX3[7]	Unknown	PIN_D22	6	B6_N0		3.3-V LVTTL	8mA (default)	
HEX4[7]	Unknown	PIN_F17	6	B6_N0		3.3-V LVTTL	8mA (default)	
HEX5[7]	Unknown	PIN_L19	6	B6_N0		3.3-V LVTTL	8mA (default)	
KEY[1]	Unknown	PIN_A7	7	B7_N0		3.3 V ...rigger	8mA (default)	

3. Hasil FPGA





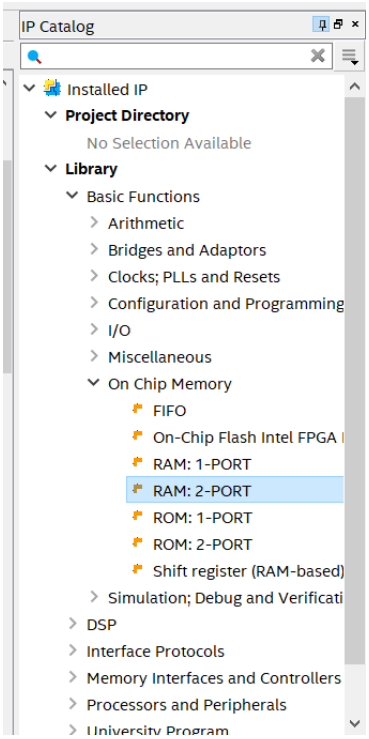


PART 4

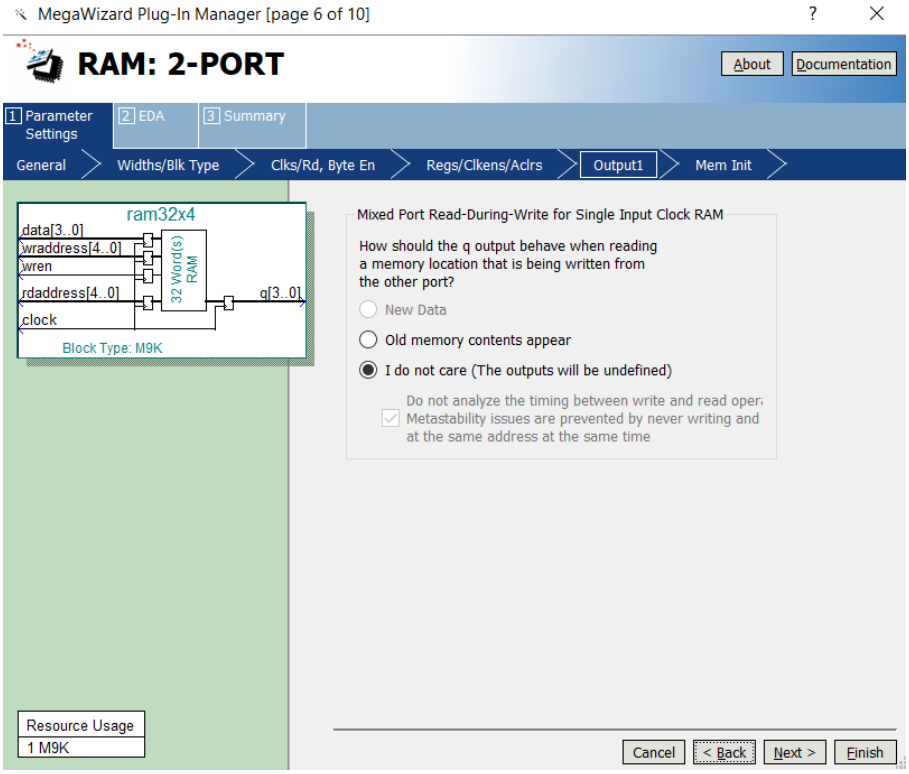
Untuk membuat modul memori dua-port di FPGA, mulai dengan membuat proyek baru di Quartus, lalu pilih modul *RAM: 2-PORT* dari IP Catalog dengan satu port baca dan satu port tulis, konfigurasikan ukurannya, clocking, dan pilih opsi agar keluaran tidak peduli saat baca dan tulis alamat sama, serta gunakan file MIF (`ram32x4.mif`) untuk inisialisasi memori. Buat file Verilog yang menginstansiasi memori ini, tambahkan counter untuk membaca alamat dan tampilkan konten memori di 7-segmen HEX0, alamat di HEX3-2, dan data tulis di HEX1. Gunakan clock 50 MHz (`CLOCK_50`) dan KEY0 sebagai reset, serta switch SW8-4 untuk alamat tulis dan SW3-0 untuk data tulis, tampilkan alamat tulis di HEX5-4, dan sinkronkan input switch dengan clock 50 MHz. Uji sirkuit untuk memverifikasi isi awal memori sesuai dengan file MIF dan pastikan bisa menulis data ke alamat memori menggunakan switch.

1. Tuliskan codingan dibawah ini

2. Lalu pilih Tools > Ip Catalog > Basic Funcions > On chip Memory > klik duakali Pin Planner



3. Lalu pada RAM-PORT2



4. Tuliskan codingan

```
// This code implements a simple dual-port memory
//
// inputs: CLOCK_50 is the clock, KEY0 is Resetn, SW3-SW0 provides data to
// write into memory.
// SW8-SW4 provides the memory address for writing, SW9 is the memory Write input.
// outputs: 7-seg display HEX5-4 displays the write address, and HEX3-2 shows the read
// address. HEX1 displays the write data and HEX0 shows the read data.
// LEDR shows the status of the SW switches.
module part4 (CLOCK_50, KEY, SW, HEX5, HEX4, HEX3, HEX2, HEX1, HEX0, LEDR);
    input CLOCK_50;
    input [0:0] KEY;
    input [9:0] SW;
    output [0:6] HEX5, HEX4, HEX3, HEX2, HEX1, HEX0;
    output [9:0] LEDR;

    wire Clock, Resetn, Write, Write_sync;
    wire [4:0] Write_address, Write_address_sync;
    wire [3:0] DataIn, DataIn_sync, DataOut;

    assign Resetn = KEY[0];
    assign Clock = CLOCK_50;

    // synchronize all asynchronous inputs to the clock
    regne #(.n(1)) wr_sync_reg(SW[9], Clock, Resetn, 1'b1, Write_sync);
    regne #(.n(1)) wr_reg(Write_sync, Clock, Resetn, 1'b1, Write);
    regne #(.n(5)) addr_sync_reg(SW[8:4], Clock, Resetn, 1'b1, Write_address_sync);
    regne #(.n(5)) addr_reg(Write_address_sync, Clock, Resetn, 1'b1, Write_address);
    regne #(.n(4)) din_sync_reg(SW[3:0], Clock, Resetn, 1'b1, DataIn_sync);
    regne #(.n(4)) din_reg(DataIn_sync, Clock, Resetn, 1'b1, DataIn);

    // one second cycle counter
    parameter m = 25;
    reg [m-1:0] slow_count;
    reg [4:0] Read_address; // cycles from addresses 0 to 31 at one second per address

    // Create a 1Hz 5-bit address counter
    // A large counter to produce a 1 second (approx) enable
    always @(posedge Clock)
```

```
39          slow_count <= slow_count + 1'b1;
40       // the read address counter
41       always @ (posedge Clock)
42          if (Resetn == 0)
43             Read_address <= 5'b0;
44          else if (slow_count == 0)
45             Read_address <= Read_address + 1'b1;
46
47       // instantiate memory module
48       // module ram32x4 (clock, data, rdaddress, wraddress, wren, q);
49       ram32x4 U1 (Clock, DataIn, Read_address, Write_address, Write, DataOut);
50
51       // display the data input, data output, and addresses on the 7-segs
52       hex7seg digit5 ({3'b0, Write_address[4]}, HEX5);
53       hex7seg digit4 (Write_address[3:0], HEX4);
54       hex7seg digit3 ({3'b0, Read_address[4]}, HEX3);
55       hex7seg digit2 (Read_address[3:0], HEX2);
56       hex7seg digit1 (DataIn[3:0], HEX1);
57       hex7seg digit0 (DataOut[3:0], HEX0);
58
59       assign LEDR[3:0] = DataIn;
60       assign LEDR[8:4] = Write_address;
61       assign LEDR[9] = Write;
62    endmodule
63
64    module regne (R, Clock, Resetn, E, Q);
65       parameter n = 7;
66       input [n-1:0] R;
67       input Clock, Resetn, E;
68       output [n-1:0] Q;
69       reg [n-1:0] Q;
70
71       always @(posedge Clock)
72          if (Resetn == 0)
73             Q <= {n{1'b0}};
74          else if (E)
75             Q <= R;
76    endmodule
```

```
77
78    module hex7seg (hex, display);
79       input [3:0] hex;
80       output [0:6] display;
81
82       reg [0:6] display;
83
84       /*
85        *       0
86        *      ---
87        *     |   |
88        *    5|   |1
89        *     | 6 |
90        *      ---
91        *     |   |
92        *    4|   |2
93        *     |   |
94        *      ---
95        *       3
96        */
97       always @ (hex)
98          case (hex)
99             4'h0: display = 7'b0000001;
100            4'h1: display = 7'b1001111;
101            4'h2: display = 7'b0010010;
102            4'h3: display = 7'b0000110;
103            4'h4: display = 7'b1001100;
104            4'h5: display = 7'b0100100;
105            4'h6: display = 7'b0100000;
106            4'h7: display = 7'b0001111;
107            4'h8: display = 7'b0000000;
108            4'h9: display = 7'b0000100;
109            4'hA: display = 7'b0001000;
110            4'hb: display = 7'b1100000;
111            4'hC: display = 7'b0110001;
112            4'hd: display = 7'b1000010;
113            4'hE: display = 7'b0110000;
114            4'hF: display = 7'b0111000;
115         endcase
116   ndmodule
117
```

5. Pin Planner

CLOCK_50	Input	PIN_P11	3	B3_N0	PIN_P11	3.3-V LVTTL		8mA (default)		
HEX0[0]	Output	PIN_C14	7	B7_N0	PIN_C14	3.3-V LVTTL		8mA (default)	2 (default)	
HEX0[1]	Output	PIN_E15	7	B7_N0	PIN_E15	3.3-V LVTTL		8mA (default)	2 (default)	
HEX0[2]	Output	PIN_C15	7	B7_N0	PIN_C15	3.3-V LVTTL		8mA (default)	2 (default)	
HEX0[3]	Output	PIN_C16	7	B7_N0	PIN_C16	3.3-V LVTTL		8mA (default)	2 (default)	
HEX0[4]	Output	PIN_E16	7	B7_N0	PIN_E16	3.3-V LVTTL		8mA (default)	2 (default)	
HEX0[5]	Output	PIN_D17	7	B7_N0	PIN_D17	3.3-V LVTTL		8mA (default)	2 (default)	
HEX0[6]	Output	PIN_C17	7	B7_N0	PIN_C17	3.3-V LVTTL		8mA (default)	2 (default)	
HEX1[0]	Output	PIN_C18	7	B7_N0	PIN_C18	3.3-V LVTTL		8mA (default)	2 (default)	
HEX1[1]	Output	PIN_D18	6	B6_N0	PIN_D18	3.3-V LVTTL		8mA (default)	2 (default)	
HEX1[2]	Output	PIN_E18	6	B6_N0	PIN_E18	3.3-V LVTTL		8mA (default)	2 (default)	
HEX1[3]	Output	PIN_B16	7	B7_N0	PIN_B16	3.3-V LVTTL		8mA (default)	2 (default)	
HEX1[4]	Output	PIN_A17	7	B7_N0	PIN_A17	3.3-V LVTTL		8mA (default)	2 (default)	
HEX1[5]	Output	PIN_A18	7	B7_N0	PIN_A18	3.3-V LVTTL		8mA (default)	2 (default)	
HEX1[6]	Output	PIN_B17	7	B7_N0	PIN_B17	3.3-V LVTTL		8mA (default)	2 (default)	
HEX2[0]	Output	PIN_B20	6	B6_N0	PIN_B20	3.3-V LVTTL		8mA (default)	2 (default)	
HEX2[1]	Output	PIN_A20	7	B7_N0	PIN_A20	3.3-V LVTTL		8mA (default)	2 (default)	
HEX2[2]	Output	PIN_B19	7	B7_N0	PIN_B19	3.3-V LVTTL		8mA (default)	2 (default)	
HEX2[3]	Output	PIN_A21	6	B6_N0	PIN_A21	3.3-V LVTTL		8mA (default)	2 (default)	
HEX2[4]	Output	PIN_B21	6	B6_N0	PIN_B21	3.3-V LVTTL		8mA (default)	2 (default)	
HEX2[5]	Output	PIN_C22	6	B6_N0	PIN_C22	3.3-V LVTTL		8mA (default)	2 (default)	
HEX2[6]	Output	PIN_B22	6	B6_N0	PIN_B22	3.3-V LVTTL		8mA (default)	2 (default)	
HEX3[0]	Output	PIN_F21	6	B6_N0	PIN_F21	3.3-V LVTTL		8mA (default)	2 (default)	
HEX3[1]	Output	PIN_E22	6	B6_N0	PIN_E22	3.3-V LVTTL		8mA (default)	2 (default)	
HEX3[2]	Output	PIN_E21	6	B6_N0	PIN_E21	3.3-V LVTTL		8mA (default)	2 (default)	
HEX3[3]	Output	PIN_C19	7	B7_N0	PIN_C19	3.3-V LVTTL		8mA (default)	2 (default)	
HEX3[4]	Output	PIN_C20	6	B6_N0	PIN_C20	3.3-V LVTTL		8mA (default)	2 (default)	
HEX3[5]	Output	PIN_D19	6	B6_N0	PIN_D19	3.3-V LVTTL		8mA (default)	2 (default)	

Named: * Edit: HEX3[5]

Node Name	Direction	Location	I/O Bank	VREF Group	itter Locatior	I/O Standard	Reserved	urrent Streng	Slew Rate	ifferential Pai	ict Preservati
HEX3[5]	Output	PIN_D19	6	B6_N0	PIN_D19	3.3-V LVTTL		8mA (default)	2 (default)		
HEX3[6]	Output	PIN_E17	6	B6_N0	PIN_E17	3.3-V LVTTL		8mA (default)	2 (default)		
HEX4[0]	Output	PIN_F18	6	B6_N0	PIN_F18	3.3-V LVTTL		8mA (default)	2 (default)		
HEX4[1]	Output	PIN_E20	6	B6_N0	PIN_E20	3.3-V LVTTL		8mA (default)	2 (default)		
HEX4[2]	Output	PIN_E19	6	B6_N0	PIN_E19	3.3-V LVTTL		8mA (default)	2 (default)		
HEX4[3]	Output	PIN_J18	6	B6_N0	PIN_J18	3.3-V LVTTL		8mA (default)	2 (default)		
HEX4[4]	Output	PIN_H19	6	B6_N0	PIN_H19	3.3-V LVTTL		8mA (default)	2 (default)		
HEX4[5]	Output	PIN_F19	6	B6_N0	PIN_F19	3.3-V LVTTL		8mA (default)	2 (default)		
HEX4[6]	Output	PIN_F20	6	B6_N0	PIN_F20	3.3-V LVTTL		8mA (default)	2 (default)		
HEX5[0]	Output	PIN_J20	6	B6_N0	PIN_J20	3.3-V LVTTL		8mA (default)	2 (default)		
HEX5[1]	Output	PIN_K20	6	B6_N0	PIN_K20	3.3-V LVTTL		8mA (default)	2 (default)		
HEX5[2]	Output	PIN_L18	6	B6_N0	PIN_L18	3.3-V LVTTL		8mA (default)	2 (default)		
HEX5[3]	Output	PIN_N18	6	B6_N0	PIN_N18	3.3-V LVTTL		8mA (default)	2 (default)		
HEX5[4]	Output	PIN_M20	6	B6_N0	PIN_M20	3.3-V LVTTL		8mA (default)	2 (default)		
HEX5[5]	Output	PIN_N19	6	B6_N0	PIN_N19	3.3-V LVTTL		8mA (default)	2 (default)		
HEX5[6]	Output	PIN_N20	6	B6_N0	PIN_N20	3.3-V LVTTL		8mA (default)	2 (default)		
KEY[0]	Input	PIN_B8	7	B7_N0	PIN_B8	3.3 V ...rigger		8mA (default)			
LEDR[9]	Output	PIN_B11	7	B7_N0	PIN_B11	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[8]	Output	PIN_A11	7	B7_N0	PIN_A11	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[7]	Output	PIN_D14	7	B7_N0	PIN_D14	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[6]	Output	PIN_E14	7	B7_N0	PIN_E14	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[5]	Output	PIN_C13	7	B7_N0	PIN_C13	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[4]	Output	PIN_D13	7	B7_N0	PIN_D13	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[3]	Output	PIN_B10	7	B7_N0	PIN_B10	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[2]	Output	PIN_A10	7	B7_N0	PIN_A10	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[1]	Output	PIN_A9	7	B7_N0	PIN_A9	3.3-V LVTTL		8mA (default)	2 (default)		
LEDR[0]	Output	PIN_A8	7	B7_N0	PIN_A8	3.3-V LVTTL		8mA (default)	2 (default)		
SW[9]	Input	PIN_F15	7	B7_N0	PIN_F15	3.3-V LVTTL		8mA (default)			

All Pins

SW[9]	Input	PIN_F15	7	B7_N0	PIN_F15	3.3-V LVTTL		8mA (default)		
SW[8]	Input	PIN_B14	7	B7_N0	PIN_B14	3.3-V LVTTL		8mA (default)		
SW[7]	Input	PIN_A14	7	B7_N0	PIN_A14	3.3-V LVTTL		8mA (default)		
SW[6]	Input	PIN_A13	7	B7_N0	PIN_A13	3.3-V LVTTL		8mA (default)		
SW[5]	Input	PIN_B12	7	B7_N0	PIN_B12	3.3-V LVTTL		8mA (default)		
SW[4]	Input	PIN_A12	7	B7_N0	PIN_A12	3.3-V LVTTL		8mA (default)		
SW[3]	Input	PIN_C12	7	B7_N0	PIN_C12	3.3-V LVTTL		8mA (default)		
SW[2]	Input	PIN_D12	7	B7_N0	PIN_D12	3.3-V LVTTL		8mA (default)		
SW[1]	Input	PIN_C11	7	B7_N0	PIN_C11	3.3-V LVTTL		8mA (default)		
SW[0]	Input	PIN_C10	7	B7_N0	PIN_C10	3.3-V LVTTL		8mA (default)		
HEX0[7]	Unknown	PIN_D15	7	B7_N0		3.3-V LVTTL		8mA (default)		
HEX1[7]	Unknown	PIN_A16	7	B7_N0		3.3-V LVTTL		8mA (default)		
HEX2[7]	Unknown	PIN_A19	7	B7_N0		3.3-V LVTTL		8mA (default)		
HEX3[7]	Unknown	PIN_D22	6	B6_N0		3.3-V LVTTL		8mA (default)		
HEX4[7]	Unknown	PIN_F17	6	B6_N0		3.3-V LVTTL		8mA (default)		
HEX5[7]	Unknown	PIN_L19	6	B6_N0		3.3-V LVTTL		8mA (default)		
KEY[1]	Unknown	PIN_A7	7	B7_N0		3.3 V ...rigger		8mA (default)		

Hasil FPGA


Download DE10-Lite CD
http://de10-lite.terasic.com/cd
terasIC
DE10-Lite
for Intel FPGA University Program
0 0 0 E 0 E